

文章编号:1674-2974(2016)02-0115-04

一种片上低触发电压高耐压 NMOS ESD 防护结构设计*

陈迪平[†], 刘 杏, 何 龙, 陈思园

(湖南大学 物理与微电子科学学院, 湖南 长沙 410082)

摘 要:设计了一种触发电压低于 10 V, HBM 耐压超过 4 kV 的低触发、高耐压 NMOS ESD 防护结构. 通过带钳位的栅耦合 RC 网络来适当抬升 ESD 泄放管栅压与衬底电压. 在提高泄放能力与降低触发电压的同时, 依然保持了较高的二次击穿电流 I_s , 从而增强了 MOS 防护结构在深亚微米 CMOS 电路中的 ESD 防护能力. 该结构最终在 CSMC HJ018 工艺流片, 并通过 TLP 测试平台测得触发电压低于 10 V, 二次击穿电流 3.5 A, 达到设计要求.

关键词:ESD; 衬底触发; 栅耦合; TLP

中图分类号:TN47

文献标识码:A

An On-chip NMOS ESD Protection Circuit with Low Trigger Voltage and High ESD Robustness

CHEN Di-ping[†], LIU Xing, HE Long, CHEN Si-yuan

(School of Physics and Microelectronics, Hunan Univ, Changsha, Hunan 410082, China)

Abstract: This paper designed a NMOS ESD protection circuit with low trigger voltage (trigger voltage ≤ 10 V) and high ESD robustness (HBM ESD level ≥ 4 kV). It raises the bias voltage of both the gate and the substrate of the main discharge element to an appropriate extent by designing a gate-coupled RC-network with voltage-clamping function. This not only provides a stronger discharge capacity and lower trigger voltage but also maintains a high secondary breakdown current. In this case, the ESD robustness of the MOS protection structure in CMOS deep submicron circuit is strengthened. The design is taped out in CSMC HJ018 process, and tested through TLP platform, which shows the trigger voltage is lower than 10 V and the secondary breakdown current is 3.5 A.

Key words: Electro-Static discharge(ESD); substratetrigger; gate coupling; TLP

随着 CMOS 工艺技术的发展进入到深亚微米阶段, 片上 ESD 防护设计已成为集成 IC 可靠性设计的关键. 一般民用 HBM 耐压标准为 2 kV, 测试电压抬升率为 2 kV/10 ns. 军用 HBM 耐压标准参

照美军军标 MIL-STD-883Gmethod 3015. 7, HBM 耐压标准为 4 kV 以上, 测试电压抬升率 4 kV/10 ns.^[1]深亚微米工艺下器件耐压能力的降低, 向设计高 ESD 防护能力器件提出了挑战. 本文旨在设计一

* 收稿日期: 2015-01-09

基金项目: 湖南省科技计划项目(2014FJ1003)

作者简介: 陈迪平(1963-), 男, 湖南醴陵人, 湖南大学副教授

[†] 通讯联系人, E-mail: chdp@hnu.edu.cn

种触发电压低于 10 V, HBM 耐压达到军用标准的 MOS ESD 防护器件.

GGMOS 防护器件由于和 COMS 工艺兼容, 设计简单, 可移植性强, 已成为目前通用集成电路中最常用的 ESD 防护器件. 随着集成电路工艺技术不断发展, 器件特征尺寸不断缩小, 金属氧化物半导体的栅氧厚度越来越薄, 晶体管耐压能力降低, 对片上 ESD 防护结构也提出了更低触发电压的要求. 典型 GCMOS 单元采用栅耦合电容技术可降低典型 GGMOS 触发电压, 提高泄放能力. 但随着栅耦合电压的提高, 典型 MOS 防护器件的耐压能力降低^[2], 因此, 同时达到高耐压等级与低触发电压成为典型 MOS ESD 防护结构设计中一大难题. 文献[3-4]研究表明, 对 GGMOS 结构衬底端进行电流注入能在降低其触发电压的同时提高其二次击穿电流 I_1 . 本文所设计结构在此基础上, 同时利用栅

耦合电容技术, 设计栅电压控制模块, 减小栅电压对 MOS 管耐压能力的影响, 在降低了 GGMOS 结构触发电压的同时, 保证了该结构的高耐压能力, 完成了一种改进型片上低触发电压高耐压 NMOS ESD 防护结构的设计.

1 低触发、高耐压 NMOS ESD 防护结构原理分析

1.1 结构分析

图 1 为柯明道教授等人利用衬底触发技术于 2003 年提出的 ESD 泄放结构“衬底触发 GGMOS”剖面图^[3]. 采用对 MOS 晶体管回滞击穿的泄放机制, 泄放电流主要为体电流 i_1 与 i_2 .^[5-6]

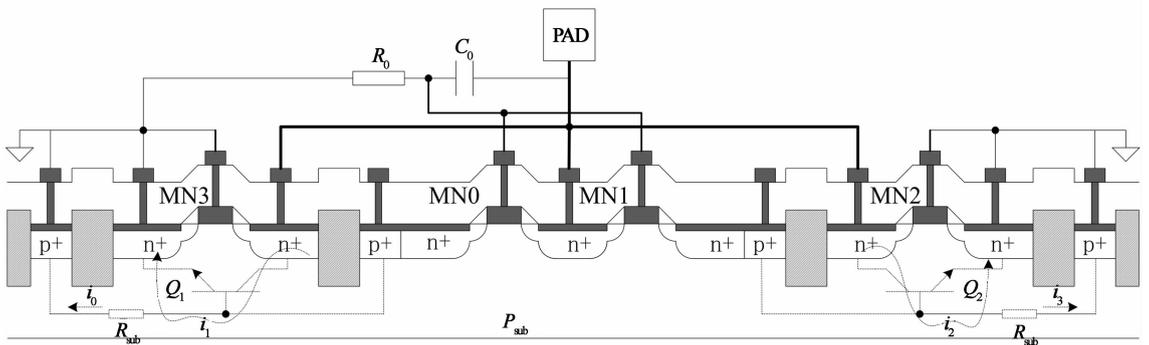


图 1 衬底触发 GGMOS 剖面结构图

Fig. 1 The cross-sectional structure of substrate triggered GGMOS

该结构利用电容耦合 ESD 电压信号抬升主泄放管 MN2/MN3 衬底电位, 对衬底注入电流 i_0 与 i_3 , 同时 MN2/MN3 栅极接地, 使其在正常工作时关闭, 防止漏电. 研究发现, 随着注入电流的增加, 二次击穿电流 I_1 也得到相应提升.^[4]

该结构主要泄放机制仍然为击穿主泄放管 MN2/MN3 漏极与衬底间 PN 结, 因而典型工艺下触发电压较高, 且通过衬底的泄放能力有限. 为了取

得更低触发电压、更高泄放能力的 MOS 泄放结构, 本文在此结构的基础上, 将原本接地的主泄放管栅端接入 R_0 与 C_0 构成的触发网络, 利用电容耦合抬升主泄放管栅极电位^[7], 使其在高压下处于微导通状态. 图 2 为本文改进型结构的剖面示意图. 改进主要集中在 A 和 B 两处, 将泄放管 MN3 与 MN2 的栅极接入触发电路, 并在触发电路中增加钳位管 mn0, 限制栅极电位上升的幅度.

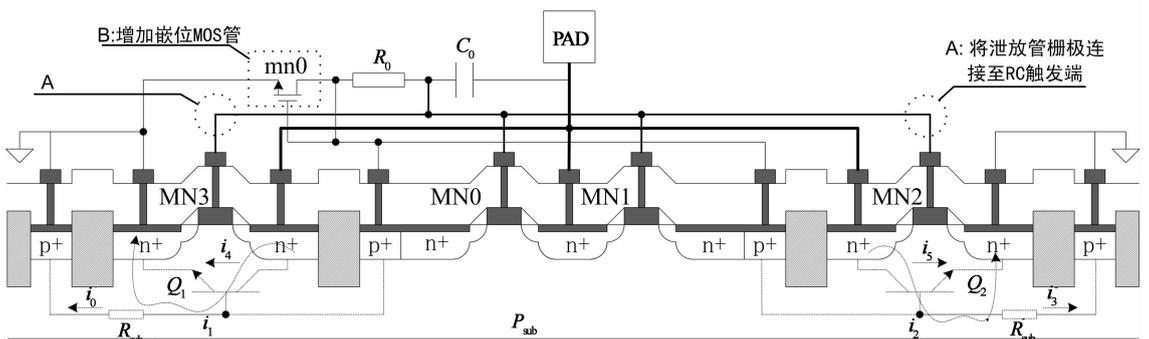


图 2 改进型衬底触发 GGMOS 剖面图

Fig. 2 The cross-section of improved substrate triggered GGMOS

主泄放管 MN2/MN3 的微导通,使泄放能力更强的沟道也成为 ESD 能量的泄放通道,增加了沟道泄放电流 i_4 与 i_5 ,从而增强该结构的泄放能力。同时,由于处于微导通状态的 MOS 管具有更低的击穿电压,从而使抬升栅电位后的结构具有更低的触发电压^[8]。但是,主泄放管栅电位的抬升,也增加了端口正常工作时的漏电。同时,主泄放管的栅电位的过度爬升会降低主泄放管二次击穿点电流从而降低其耐压能力^[3]。为了尽量减小漏电,保证泄放管的耐压能力,需要合理设计栅端电位的抬升量,使正常工作信号输入时,栅电位抬升较小,减小漏电;而在 ESD 信号输入时,栅电位抬升较大,使主泄放管导通。同时需加入钳位机制限制栅电位的上升,结合抬升衬底电位可提高 MOS 管二次击穿电流 I_t 这一特征^[4]。可适当增加注入衬底的电流量来抵消抬升栅电位对主泄放管耐压能力的影响,最终使得该结构在达到较低触发电压的同时,还能保持较高的耐压能力。

1.2 主要电路设计

电位抬升单元是本文电路设计的重点,忽略 MN0/MN1 管与主泄放管 MN2/MN3 寄生,该电位抬升电路如图 3(a)所示为一阶高通电路。

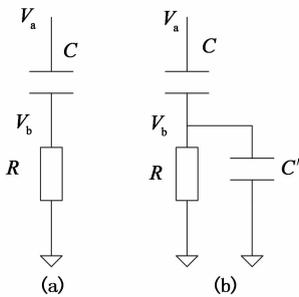


图3 电路等效模型

Fig. 3 The equivalent circuit model

当 V_a 输入为线性时变电压 $V(t) = V' t$ 时(其中 V' 为电压变化率), V_b 结点抬升电位 ΔV 的响应可表示为:

$$\Delta V = V' RC [1 - \exp(-t/RC)]. \quad (1)$$

针对实际电路,考虑 MOS 管寄生栅漏电容 C_0 后,等效模型如图 3(b)所示,修正后的关系可表示为:

$$\Delta V = V' RC \{1 - \exp[-t/R(C+C')]\}. \quad (2)$$

寄生电容 C' 的引入改变了时间常数,但未改变最终 ΔV 最大抬升值,因此本文设计忽略 C' 对电压抬升带来的影响,选取合适的 RC 来抬升栅压。

图 3 中参数 R 由图 2 中电阻 R_0 , 衬底电阻与图 2 中饱和和导通管 mn0 及主泄放管衬底与源端 PN 结组成,参数 C 主要为图 2 中修调电容 C_0 。其中 mn0 管为栅电压钳位管,降低触发栅电位受脉冲变化率的影响。mn0 管和衬底电阻的并联结构与电阻 R_0 和 MN1 管栅源电容的并联成分压关系抬升衬底电压,降低栅电

位对二次击穿点(主泄放管耐压能力)的影响,同时提高泄放管泄放能力。

在 ESD 信号输入时,由于 mn0 管与衬底 PN 结的导通,衬底电阻被短路,衬底端电位保持一个阈值电压 V_t ,假设主泄放管栅端最大可抬升为 V_{Gmax} ,则 RC 电路的抬升量为 $\Delta V_m = V_{Gmax} - V_t$,因此,此时图 2 中参数 R_0 与 C_0 满足关系式:

$$\Delta V_m > V' R_0 \times C_0. \quad (3)$$

在正常信号输入时,由于 mn0 管与衬底 PN 结均未打开,图 3 中电阻 R 由图 2 中衬底电阻 R_{sub} 与 R_0 串联构成,主泄放管栅端最大可抬升电压 V_{Gmax} 由端口所允许的最大漏电流 I_{Dmax} 决定, I_{Dmax} 与 V_{Gmax} 满足 MOS 管亚阈值区电流关系式:

$$I_{Dmax} = I_{spec} \exp[(V_{Gmax} - V_t)/nV_T]. \quad (4)$$

式中: $I_{spec} = 2n\mu C_{ox}(W/L)V_T^2$; V_t 为 NMOS 阈值电压; n 为晶体管的斜率因子; $V_T = KT/q$ 为热力学电压。此时,由最大允许漏电流得出的 V_{Gmax} 与图 2 中参数 R_0 与 C_0 同样满足关系式(3)。

本文最终在 CSMC HJ018 工艺下设计并验证了该 ESD 泄放结构。针对 4 kV HBM 应用,电压变化率 $V' = 4 \text{ kV}/10 \text{ ns} = 400 \text{ V/ns}$ 。针对 75 MHz 3.3 V 端口应用,上升沿 $1 \sim 2 \text{ ns}$,电压变化率约 $V' = 3.3 \text{ V/ns}$,且最终根据版图尺寸得出的等效电阻约为 $1 \text{ k}\Omega$ ^[5]。在最大漏电流不超过 $1 \mu\text{A}$ 的情况下,由式(3)(4)得出的 C_0 小于 50 fF 时, R 参数小于 $10 \text{ k}\Omega$,此时 R 参数值即 R_{sub} 与 R_0 之和。

2 测试分析

根据上一节的分析与最终确定的尺寸信息,在 CSMC HJ018 工艺下 Spectre 仿真得到触发栅电压与信号爬升速度的关系如图 4 所示。当输入为正常 75 MHz 3.3 V 信号时,电压变化率 V' 均为 3.3 V/ns ,栅压抬升仅 0.11 V ,在爬升率 30 V/ns 处出现明显的钳位拐点,可明显看到 mn0 管与衬底 PN 结对栅触发电压爬升的钳制作用。最终在 400 V/ns (ESD 军用标准下电压变化率)处栅压抬升 2.04 V ,防止栅电压过度抛高而降低主泄放管二次击穿点 I_t ,同时也使主泄放管栅压在较宽的范围保持一个合理的值。

根据 1.1 和 1.2 的分析,在 smic18 mmrf 工艺下流片验证的 ESD 结构如图 5 所示。其中,区域 I 为图 3 中所示 MN0~MN3 管,区域 II 为耦合电容 C_0 ,区域 III 为电阻 R_0 ,区域 IV 为钳位管 mn0。图 3 中所示 PAD 端覆盖于结构上与区域 I 中 MOS 管漏端相连。本文采用近年来较流行的传输线脉冲测试方法(TLP)来测试 PAD 端输入电压与电流之间的 $I-V$ 特性曲线^[9]。

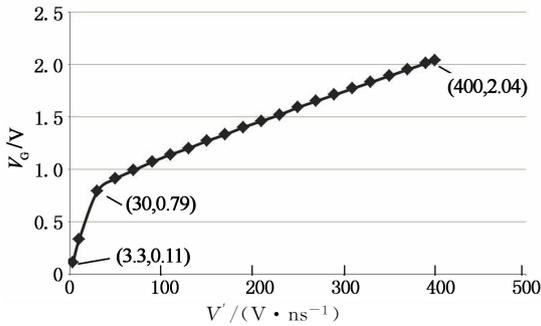


图4 触发栅压曲线图

Fig. 4 The graph of triggered grid voltage

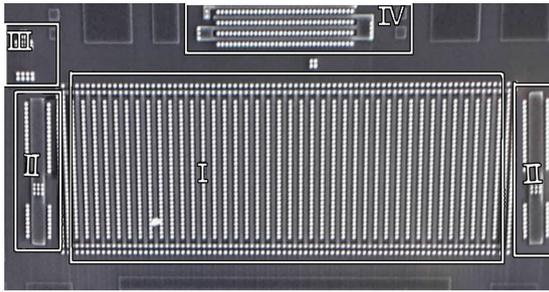


图5 芯片结构

Fig. 5 The structure of the chip

图6所示为该结构在TLP平台下的测试结果,在输入PAD端的阶跃电压达到8V左右时ESD结构触发,电流开始增加.当电流增加到3.7A左右时ESD结构发生二次击穿,结构被损坏,此时的电流即二次击穿电流 I_t .人体模型(HBM)的等效输入电阻为 1500Ω ,因此,由TLP平台测试得到的二次击穿电流 I_t 与等效HBM耐压能力 V_{HBM} 之间的换算关系为 $V_{HBM} = I_t \times 1500$.

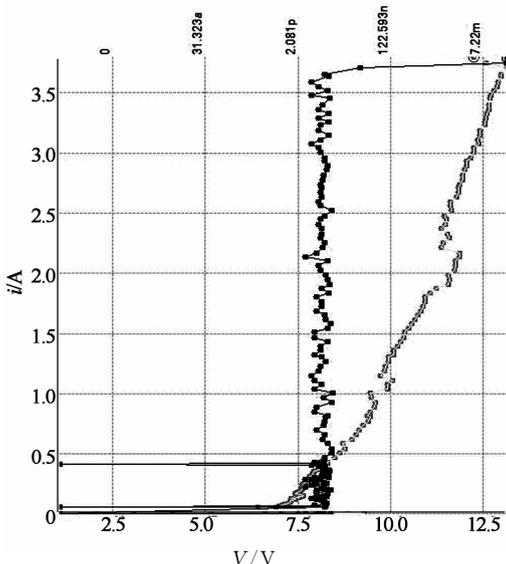


图6 TLP测试结果

Fig. 6 The testing results of TLP

由于采用工艺的差异,本文所提出结构与文献

[3]所提出结构的触发电压并无可比性.但CSMC HJ018工艺典型击穿值10V以上,本文所提出结构的触发电压为8V左右,降低了触发电压.文献[3]中提出结构的二次击穿电流 I_t 最大不超过2.3A,等效HBM电压 $V_{HBM} = I_t \times 1500 < 3450V$.本文所提出结构的二次击穿电流 $I_t = 3.7A$,等效HBM电压为 $V_{HBM} = I_t \times 1500 = 5550V$,等效导通电阻为 3Ω ,达到4kV以上军用标准^[1],较文献[3]所提出结构具有更高的泄放能力.

3 结论

本文采用栅耦合技术,使所提出的ESD结构在CSMC HJ018工艺典型击穿值10V之前即触发.同时,利用抬升衬底电位可提升二次击穿电流 I_t 这一特点,成功弥补了栅耦合MOS ESD泄放结构二次击穿点低的缺点,在降低ESD泄放结构触发电压的同时保持较高二次击穿电流,在CSMC HJ018工艺下完成了一款触发电压低于10V, HBM防护等级达到4kV军用级别的NMOS ESD防护结构,优化了栅耦合技术在MOS ESD泄放结构中的应用.

参考文献

- [1] Department of Defense of USA. MIL-STD-883Gmethod 3015.7[S]. Washington, DC: Department of Defense of USA, 2006.
- [2] OH K H, DUUVURY C, BANERJEE K, *et al.* Gate bias induced heating effect and implications for the design of deep submicron ESD protection[C]//Proceedings of IEDM 01. New York: IEEE, 14. 2. 1-14. 2. 4.
- [3] KER Ming-dou, CHEN Tung-yang. Substrate-triggered technique for on-chip ESD protection design in a 0.18 μm salicided CMOS process[J]. IEEE Transactions on Electron Devices, 2003, 50(4): 1050-1057.
- [4] KER Ming-dou, CHEN Tung-yang. Substrate-triggered ESD protection circuit without extra process modification[J]. IEEE Journal of Solid-state Circuits, 2003, 38(2): 295-302.
- [5] 吴晓鹏. 基于深亚微米CMOS工艺的静电防护器件研究[D]. 西安:西安电子科技大学物理与光电工程学院, 2013: 45-46.
WU Xiao-peng. A study of ESD protection device based on deep submicron CMOS technology[D]. Xian: School of Physics and Optoelectronic Engineering, Xidian University, 2013: 45-46. (In Chinese)
- [6] 宁慧英, 臧晶. 基于深亚微米工艺的ESD保护器件优化设计[J]. 机械设计与制造, 2012(5): 134-136.
NING Hui-ying, ZANG Jing. Design optimization of ESD protection device based on submicron CMOS process [J]. Machinery Design & Manufacture, 2012(5): 134-136. (In Chinese)
- [7] 李志国, 余天宇, 张颖, 等. 基于RC触发NMOS器件的ESD电路设计[J]. 半导体集成电路, 2014, 39(8): 579-583.
LI Zhi-guo, YU Tian-yu, ZHANG Ying, *et al.* Design of the ESD circuit based on the RC triggered NMOS device [J]. Semiconductor Technology, 2014, 39(8): 579-583. (In Chinese)
- [8] BICLEANU D P, NICUTA A M, SALCEANU A. A novel ESD protection structure used to enhance the safety of the MOSFET integrated circuitry[C]// Proceedings of 2013 8th International Symposium on Advanced Topics in Electrical Engineering. New York: IEEE, 2013: 1-6.
- [9] 陆坚, 朱卫良. 一种新型IC保护单元ESD评价方式—TLP测试[J]. 电子与封装, 2008, 8(12): 13-16.
LU Jian, ZHU Wei-liang. The new method for IC ESD protect constructs—TLP [J]. Electronics and Packaging, 2008, 8(12): 13-16. (In Chinese)