

## 一种新型低压低功耗伪差分环形压控振荡器设计\*

王镇道,伍锡安<sup>†</sup>,朱小莉

(湖南大学 物理与微电子科学学院,湖南 长沙 410082)

**摘要:**基于交叉耦合技术提出了一种新型低压低功耗伪差分环形压控振荡器(VCO).电路整体包括新型伪差分环形压控振荡器、输出整形缓冲(buffer)电路两个部分.在VCO电路中采用了尾电流源控制的反相器为基本延时单元,实现了一种新型低压低功耗伪差分环形振荡器设计,并采用线性化技术改善调节线性度.利用输出buffer对VCO输出波形进行整形,消除了这种结构下输出摆幅受到尾电流源影响而不能达到轨到轨摆幅的限制.基于0.13  $\mu\text{m}$  标准CMOS工艺,利用cadence spectre进行仿真验证,前仿真结果表明在电源电压为1.2V时,该VCO相位噪声为 $-100.58\text{dBc}/\text{Hz}@1\text{MHz}$ ,功耗为0.92 mW,在0.45~1 V的电压范围内,频率调谐范围宽达0.303~1.63 GHz,具有非常好的调节线性度,在电源电压为1 V时仍然能正常工作.

**关键词:**伪差分; 低压低功耗; 压控振荡器; 相位噪声

**中图分类号:** TN432

**文献标志码:** A

## Design of a Novel Low-voltage Low-dissipation Pseudo Differential Ring VCO

WANG Zhendao, WU Xi'an<sup>†</sup>, ZHU Xiaoli

(School of Physics and Micro-Electronics Science, Hunan University, Changsha 410082, China)

**Abstract:** A novel low-voltage and low-dissipation pseudo ring voltage-controlled oscillator (VCO) was proposed, based on cross coupling technology. The schematic includes the pseudo-differential ring VCO core and output shaping buffer. An inverter controlled by tail current source was used as the delay cell, which composed the novel low-voltage and low-dissipation pseudo-differential ring VCO. Moreover, linear technology was applied to improve the tuning linearity. Utilizing the output buffer circuit to trim the ring VCO's wave form, the proposed circuits eliminate the limitation of output swing which cannot reach the rail-to-rail output swing. The circuit was designed by 0.13  $\mu\text{m}$  standard CMOS process, and simulated by the spectre in cadence under the supply voltage of 1.2V. The pre-simulation results show that the VCO's phase noise is only  $-100.58\text{ dBc}/\text{Hz}@1\text{MHz}$ , the power dissipation is 0.92 mW, the design shows a good tuning linearity between the voltage range from 0.45 to 1V, the frequency tuning range is from 0.303 to 1.63 GHz, and it can also work at 1V supply voltage.

**Key words:** pseudo-differential; low-voltage low-dissipation; VCO; phase noise

\* 收稿日期:2017-05-09

基金项目:国家自然科学基金资助项目(61505051), National Natural Science Foundation of China(61505051)

作者简介:王镇道(1974—),湖南益阳人,湖南大学副教授,博士

<sup>†</sup> 通讯联系人, E-mail: xawu@hnu.edu.cn

压控振荡器(Voltage Controlled oscillator, VCO)逐渐成为无线通讯系统、时钟数据恢复系统和高性能数字系统中的重要部件,在时钟信号产生、频率综合、时钟数据恢复、无线通讯等应用中成为一个不可或缺的核心模块<sup>[1]</sup>,对VCO的深入研究有着十分重大的意义.压控振荡器包括LC-VCO和环形VCO(Ring VCO)两种类型.其中环形VCO分为单端环形VCO(Singled Ring VCO),差分环形VCO(Differential Ring VCO)和伪差分环形VCO(Pesudo Differential Ring VCO)<sup>[2]</sup>.LC-VCO具有非常低的相位噪声,成为在射频无线通讯系统中的主流应用技术,但是LC-VCO需要利用电感元件,在目前集成电路制作工艺中,电感元件的制作与标准CMOS制作工艺兼容难度大,且芯片占用面积大,制作成本高.并且LC-VCO的调谐范围比较小,大大限制了LC-VCO在宽调谐范围产品中的应用.在对相位噪声要求不苛刻的系统和应用中,选择LC-VCO并不是一个非常合适的方案.光纤通讯系统及数模混合系统等的应用中,要求输出信号具有宽的输出范围,因此VCO需要宽调谐范围.环形VCO以其宽调谐范围,高集成度和低制作成本,并且通过合理设计优化也能够相位噪声性能上做到足够低,以满足应用要求,同时可以实现多相位时钟信号,以及低设计制作成本等优势,环形VCO成为高速光纤通讯系统中时钟数据恢复电路、数模混合电路系统中时钟生成电路中使用广泛的核心模块.单端环形VCO结构简单,但是对电源、衬底及其它应用环境中的共模噪声抑制能力弱,相位噪声性能差;全差分结构具有良好共模噪声抑制能力,一定程度上能够改善相位噪声,但是结构复杂,往往还需要额外设计偏置电路,功耗也相应增加.文献[3]设计的LC-VCO实现了很低的相位噪声,但是由于用到了无源器件电感和电容,增加了设计成本,功耗也较高.文献[4]采用了全差分结构的VCO,实现了相位噪声的改善,但是额外设计了偏置电路,功耗大大增加,这与集成电路发展的低功耗需求不符合<sup>[5-6]</sup>.文献[7]在反相器链基础上通过加入两组锁存器,并进行动态切换实现宽调谐的伪差分VCO,虽然实现了相位噪声的优化,但是电路复杂度有所增加.

针对单端环形VCO相位噪声差,差分环形VCO结构复杂,功耗大等问题,及低压、低功耗的需求,基于反相器链和交叉耦合技术提出了一种新型低压低功耗伪差分压控振荡器,并通过源极负反馈

技术提高VCO的调节线性度,在相位噪声上明显优于单端环形VCO,前仿真达到 $-100.58\text{dBc}/\text{Hz}$ @1 MHz,并且功耗显著低于相关研究,仅0.92 mW,电源电压低至1 V时仍能正常工作,实现了低压低功耗设计.

## 1 电路分析与设计

### 1.1 电路原理与设计

VCO是产生输出信号频率受到外部电压控制的振荡器电路,是闭环反馈系统.系统振荡需要满足巴克豪森定理,即幅值条件和相位条件:

$$|H(s)| \geq 1 \quad (1)$$

$$\angle H(s) = 180^\circ \quad (2)$$

环形VCO的振荡频率计算公式为

$$f = 1/(2NT_d) \quad (3)$$

式中: $N$ 为基本单元级数; $T_d$ 为基本单元传输延时时间.

在单端环形振荡器中,由于NMOS管与PMOS管工艺参数存在差异及单端环形振荡器对噪声的抑制能力差,导致过零点位置偏移或不对称.差分环形VCO以其独特的对称结构,同时在电路设计和版图设计中做好匹配时,对噪声的抑制能力强,理论上输出波形具有本征对称性,有很好的占空比.在对占空比有要求的电路系统中,此特性十分重要,但是由于传统的全差分环形振荡器结构比较复杂,往往需要额外的偏置电路,功耗较高.本文提出一种新型的结构简单,功耗更低的伪差分环形VCO,结构如图1所示.

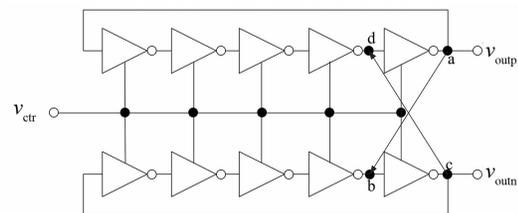


图1 伪差分环形VCO原理图

Fig.1 Diagram of proposed pseudo ring VCO

设计的环形压控振荡器以反相器为基本延时单元,反相器链交叉耦合组成伪差分环形VCO.每条反相器链包含五级延时单元,并通过耦合使得 $V_{outn}$ 与 $V_{outp}$ 分别再通过另一条链的最后一级延时单元实现反相,得到一组伪差分信号 $V_{outn}$ 与 $V_{outp}$ ,形成所需要的新型伪差分环形振荡器.相比传统差分结构而言,该结构更加简单,不需要再单独进行偏

置电路的设计,在功耗上也大大降低了,并且具有优于单端 VCO 的噪声抑制性能。

实际电路的设计中,节点 a 与节点 b,节点 c 与节点 d 之间,采用常开 MOS 管开关连接,而不是直接通过导线连接.这种耦合方式,能够有效隔离另一条链上延时单元的寄生电容叠加到其中一条链的最后一级输出节点上,避免了直接使用导线耦合使该级负载寄生电容增大,导致该级充放电时间与前四级不同,增加额外的延时抖动。

通过控制尾电流源电流大小对 VCO 的输出频率进行控制,为了保证放电电流受到控制电压  $V_{ctr}$  的调节,尾电流源需要工作在饱和区,因此 VCO 输出电压的低电位不能够降低至地电位,将低电位定义为  $V_{dsat}$ .为了使输出波形具有好的摆幅(轨到轨摆幅),增加了一级 buffer 电路进行电路整形,获得轨到轨的输出波形。

## 1.2 基本单元分析

本文设计的振荡器延时单元如图 2 所示.采用这种结构,由于利用尾电流源电流控制放电过程,为了维持放电电流跟随控制电压  $V_{ctr}$  变化,需要使得尾电流源 MOS 管工作在饱和区,故输出电压  $V_{out}$  最小值要满足使尾电流源 MOS 管  $M_{n2}$  工作在饱和区的最低电压  $V_{dsat}$ .基于这一限制条件对延时单元充放电过程进行分析。

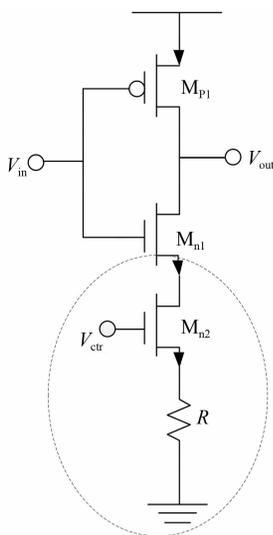


图 2 延时单元原理图

Fig.2 Schematic delay cell

在反相器中分别通过 N 管和 P 管对等效电容进行充放电,完成输入输出电平的转移,充放电延时  $\tau = R_{on} C_{eff}$ .根据电容定义  $C = Q/V$ ,  $Q = It$  得到延时单元传输延时时间为

$$t = C \cdot \Delta V / I \quad (4)$$

假设当栅电压处于低电位  $V_{dsat}$  时, N 管关断而 P 管开启,电容开始充电,一直到  $(V_{dd} - V_{dsat})/2$ ,这个过程所需时间记为充电时间  $t_{ch}$ ,记充电电流为  $I_{ch}$ ,则

$$t_{ch} = [(V_{dd} - V_{dsat})/2 - V_{dsat}]C / I_{ch} \quad (5)$$

当栅压为高电位  $V_{dd}$  时, P 管关断而 N 管开启,电容开始放电,并逐步从  $V_{dd}$  放电至  $(V_{dd} - V_{dsat})/2$ ,这个过程所需时间记为放电时间  $t_{dis}$ ,记尾电流源放电电流为  $I_{dis}$ ,则

$$t_{dis} = [(V_{dd} - (V_{dd} - V_{dsat})/2 - V_{dsat})]C / I_{dis} \quad (6)$$

整个充放电过程所需时间为  $T = t_{ch} + t_{dis}$ .图 1 结构中完成一个完整周期的信号处理,需要花费  $2 \times 5 \times T$  的时间,即提出的伪差分结构 VCO 振荡频率为

$$f = 1 / (10T) \quad (7)$$

充电过程中,电流由 PMOS 管  $M_{p1}$  决定,即

$$I_{ch} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{gs} - V_{thp})^2 \quad (8)$$

放电过程中,电流由电压  $V_{ctr}$  控制的尾电流源 NMOS 管  $M_{n1}$  决定,即

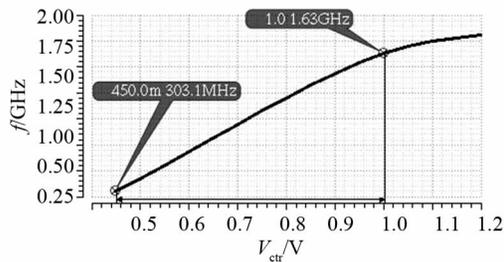
$$I_{dis} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{ctr} - V_R - V_{thn})^2 \quad (9)$$

通过改变控制电压  $V_{ctr}$  的大小来调节放电电流,实现对延时单元充放电时间长短的控制,从而调节输出信号频率。

## 1.3 调节线性度的改善

从 1.2 的分析可以发现,输出信号频率与电压  $V_{ctr}$  的关系并非线性关系,而是二次关系.但是在实际应用中,希望输出信号频率与  $V_{ctr}$  之间具有较好的线性度.即调节线性度,因此采用经典源极负反馈结构来改善调节线性度,如图 2 虚线框中部分所示。

由 NMOS 管  $M_{n2}$  与电阻  $R$  构成源极负反馈结构,该结构中尾电流源电流大小为  $I_{dis} = V_{ctr} / (1/g_m + R)$ ,并且当电阻  $R$  越大时,反馈越深,此时有  $I_{dis} = V_{ctr} / R$ ,从而输出信号的频率  $f$  与控制电压  $V_{ctr}$  的关系改变为  $f \propto V_{ctr}$  的一次关系.由二次函数关系转变为一次函数关系,VCO 的调节线性度得到了大大的改善.在采用这一结构后,尾电流源输出电阻由只采用 MOS 管做尾电流源时的  $r_o$  变为  $R_{out} = [(1 + g_m r_o)R + r_o] \approx g_m r_o R$ ,远远大于由单个 NMOS 管组成的尾电流源输出电阻,具有更好的恒流源特性.输出信号频率  $f$  与控制电压  $V_{ctr}$  转化曲线仿真结果如图 3 所示。

图3 设计的VCO  $f$ - $V_{ctr}$ 特性Fig.3  $f$ - $V_{ctr}$  Character of proposed VCO

从图中可以得出在 0.45~1 V 电压范围内,设计的伪差分环形 VCO 输出信号频率与控制电压之间具有很好的线性度,即调节线性度得到大大的改善,并且  $K_{VCO}=2.4$  GHz/V.

为了进一步优化 VCO 的输出波形和占空比,设计了一个适用于高速信号处理的输出 buffer 电路,结构如图 4 所示.由于需要处理来自于 VCO 的高速信号,频率最高达到 1.43 GHz,在利用比较器作为整形 buffer 时,需要大的带宽,其增益受到限制.因此需要消耗较大的电流,尾电流管设计成大的宽长比, $V_b$  由电源电压进行偏置.仿真结果表明输出 buffer 具有 11.3 GHz 的带宽,远远高于需要处理的 VCO 的输出信号的最高频率,满足设计要求.

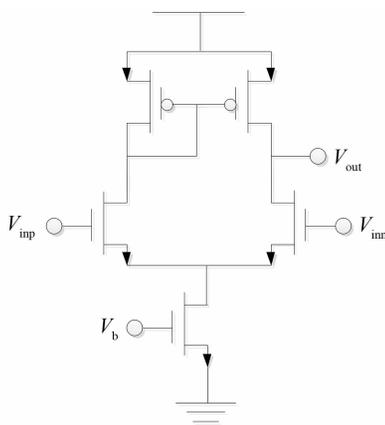


图4 输出 buffer 原理图

Fig.4 Schematic of output buffer

## 2 相位噪声优化

压控振荡器中,噪声信号会导致输出信号偏离理想信号的位置.偏离振荡频率一定带宽位置的信号功率与本振信号功率的比值称为相位噪声.压控振荡器的相位噪声主要由两部分引起,一是电路应用的环境,二是电路结构、电路器件自身引起的相位噪声.环境噪声在电路结构上可以通过采用差分、

伪差分结构进行抑制优化,本文采用伪差分结构能够有效抑制环境噪声.在版图设计过程中通过合理布局和设置保护环隔离噪声的措施进行优化.设计中针对电路自身非理想因素造成的相位噪声进行分析并优化.

### 2.1 器件热噪声优化

Abidi 等在相位噪声的分析上进行了充分的模型验证和分析,其中由于器件电阻热噪声引起的相位噪声模型<sup>[8]</sup>为

$$\psi(f) = \frac{2kT}{I} \left( \frac{1}{V_{DD} - V_t} (\gamma_n + \gamma_p) + \frac{1}{V_{DD}} \right) \left( \frac{f_0}{f} \right)^2 \quad (10)$$

式(10)表明相位噪声与电源电压、充放电电流反相关,与温度、工艺正相关.在具体的电路设计过程中,由于采用低电源电压,对优化相位噪声带来限制,所以设计过程中通过选取足够大的电流来优化相位噪声.

在此结构中,尾电流源的噪声对电路整体相位噪声有着十分显著的影响.因此通过选择小的电阻来降低电阻噪声对 VCO 的影响,这与前文所述的采用大的电阻有利于提高调节线性度相矛盾,因此在设计过程中合理选择电阻阻值,在线性化和相位噪声上进行折衷处理.

### 2.2 闪烁噪声优化

电路中延时单元的 N 管、P 管及尾电流源中的 N 管中均存在闪烁噪声. Abidi, Razavi 等对相位噪声的研究表明: MOS 管闪烁噪声对 VCO 相位噪声的贡献存在如下关系<sup>[9-11]</sup>

$$\psi(f) \propto \frac{1}{N} \sum \left( \frac{K_{fn}}{W_n L_n} + \frac{K_{fp}}{W_p L_p} \right) \quad (11)$$

式中:  $N$  是延时单元级数,  $K_{fn}$ ,  $K_{fp}$  分别是 N 管 P 管的闪烁噪声系数.  $W_n L_n$ ,  $W_p L_p$  分别是 N 管、P 管的宽长比乘积.  $N$  一般取值为 3~5 级,  $K_f$  由工艺决定. 因此在设计时可以通过采用大尺寸 MOS 管器件可以较好地优化 VCO 的相位噪声,同时选择级数为 5 以降低相位噪声.

除了以上因素造成 VCO 相位噪声外,还有衬底和电源/地轨线耦合噪声<sup>[12]</sup>,失配<sup>[11,13]</sup>等都会造成相位噪声增加,对这些因素造成的相位噪声,本文通过采用伪差分、版图设计注重匹配能够有效抑制作用.图 5 所示为设计的 VCO 相位噪声前仿真结果图.仿真结果表明,在偏离本振信号 1 MHz 处相位噪声是 -100.58 dBc/Hz.

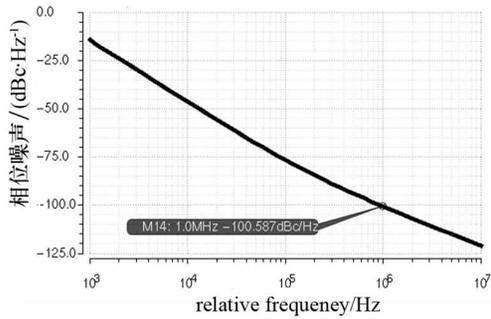


图 5 相位噪声仿真结果

Fig.5 Simulation result of phase noise

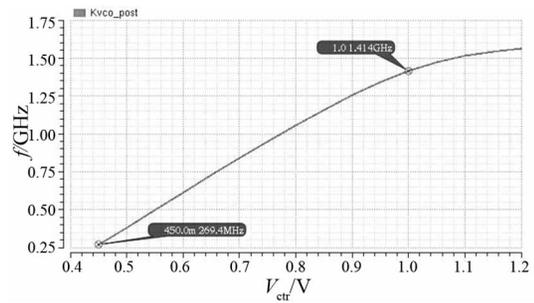


图 7 设计的 VCO  $f-V_{ctr}$  特性后仿真结果

Fig.7 Post-simulation  $f-V_{ctr}$  character of proposed VCO

### 3 版图设计与后仿真

基于  $0.13 \mu\text{m}$  工艺的版图设计规则要求完成了电路的版图设计,如图 6 所示.包括了 VCO 核心电路和整形电路两部分,整体面积为  $28.8 \mu\text{m} \times 27.9 \mu\text{m}$ .

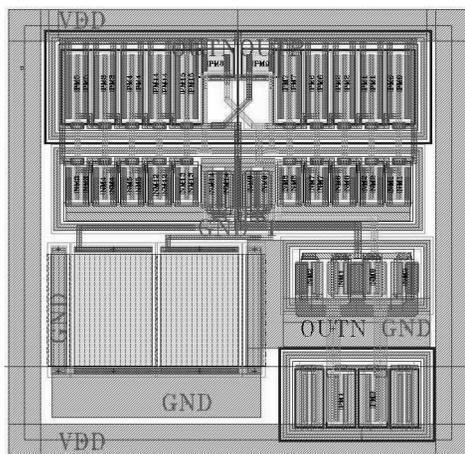


图 6 提出的 VCO 电路版图

Fig.6 Layout of proposed VCO

基于设计的版图提取相关寄生参数,完成后仿真,得到的频率  $f$  与控制电压  $V_{ctr}$  转化曲线后仿真结果如图 7 所示.仿真结果表明:在  $0.45 \sim 1 \text{ V}$  电压范围内,设计的 VCO 电路仍具有好的调节线性度,  $0.269 \sim 1.414 \text{ GHz}$  的宽调谐范围,  $K_{VCO} = 2.08 \text{ GHz/V}$ .相位噪声后仿真结果如图 8 所示,仍具有  $-98.64 \text{ dBc/Hz}@1 \text{ MHz}$  的相位噪声.

VCO 后仿真输出信号波形如图 9 所示,结果表明:输出高电平为  $1.19 \text{ V}$ ,输出低电平为  $0.023 \text{ V}$ ,具有接近轨到轨的满摆幅输出.

### 4 对比与测试

为了进一步验证分析所设计的伪差分环形压

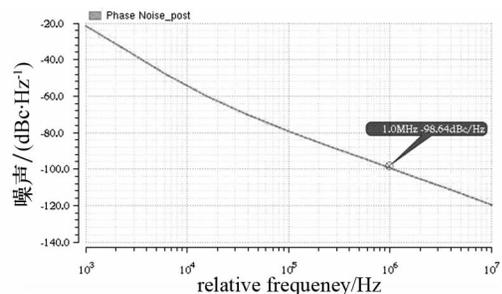


图 8 相位噪声后仿真结果

Fig.8 Post-simulation result of phase noise

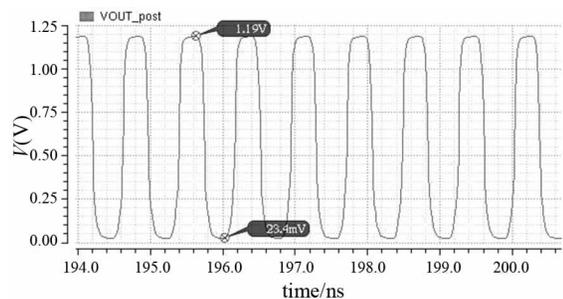


图 9 伪差分环形 VCO 输出波形

Fig.9 Output wave of pseudo differential ring VCO

控振荡器(VCO)的性能特征,对该 VCO 和近年已有相关设计<sup>[7,14-16]</sup>的关键性能参数进行比较,如表 1 所示,表 1 中列举的性能参数为仿真结果.

表 1 本文 VCO 与相关工作 VCO 的性能参数对比

Tab.1 Comparison of characters between this work and other research

文献	工艺 $\mu\text{m}$	调谐范围 /GHz	相位噪声 dBc/Hz	工作电压/V	功耗 /mW
[7]	0.65	0.495~1.499	104.8@1MHz	1.8	3.564
[14]	0.35	0.381~1.15	105.5@1MHz	3.3	7.48
[15]	0.18	4.9~5.92	86.7@1MHz	1.8	8.1
[16]	0.18	0.21~1.18	118@10MHz	1.8	4.16
本文	0.13	0.303~1.63	100.58@1MHz	1.2	0.92

表1中的对比表明:在低电源电压下,设计的伪差分环形VCO能够达到与其它结构相近甚至更优的性能,并且具有更低的工作电压,以及比同类工作低很多的功耗,非常符合当前电子产品应用中对低压低功耗的要求,并且具有结构简单,设计制造成本低等优势。

设计的伪差分VCO已成功应用于锁相环系统中,并成功流片.对芯片利用泰克MSO5104进行测试.图10所示为应用于锁相环的伪差分VCO输出1.2 GHz信号,经过8分频后的输出波形测试结果,分频后信号频率为150 MHz,测试结果为149.9 MHz,输出占空比为49.57%,摆幅 $-0.083 \sim 1.104$  V,接近满摆幅。

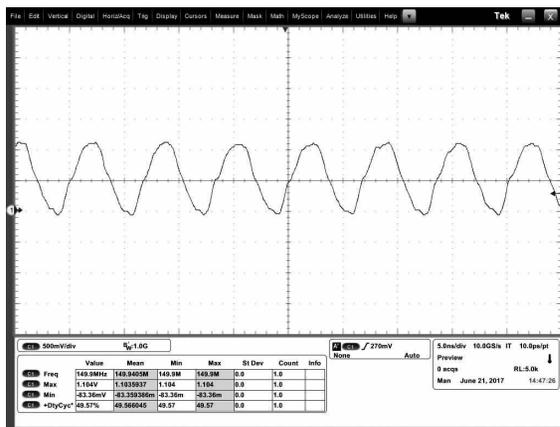


图10 提出的VCO分频后的测试结果

Fig.10 Test result of proposed VCO

## 5 结论

基于 $0.13 \mu\text{m}$ 标准CMOS工艺设计了一种新型低压低功耗伪差分环形压控振荡器,其结构简单,功耗很低,前仿真具有接近轨到轨输出摆幅 $0.0177 \sim 1.19$  V,最高工作频率下,电路功耗也仅 $0.92$  mW,偏离中心频率 $1$  MHz处相位噪声为 $-100.58$  dBc/Hz,具有 $0.303 \sim 1.63$  GHz的频率调谐范围,整个范围宽达 $1.333$  GHz,最低工作电压可为 $1$  V,具有低压、低功耗、宽调谐范围的优势特性.并成功应用于锁相环系统中。

## 参考文献

[1] JALIL J, REAZ M B I, ALI M A M. CMOS differential ring oscillators: review of the performance of CMOS ROs in communication systems[J]. IEEE Microwave Magazine, 2013, 14(5): 97-109.

[2] RICKETTS D, MCNEILL J A. The designer's guide to jitter in ring oscillators[J]. Designers Guide Book, 2009, 32(6): 870

-879.

[3] 曾健平, 章兢, 谢海情, 等. 1.8 GHz 宽带低相位噪声 CMOS 压控振荡器设计[J]. 湖南大学学报: 自然科学版, 2007, 34(6): 37-40.

ZENG Jianping, ZHANG Jing, XIE Haiqing, *et al.* Design of a 1.8 GHz wide band, low phase noise CMOS VCO[J]. Journal of Hunan University: Natural Sciences, 2007, 34(6): 37-40. (In Chinese)

[4] 程梦璋, 景为平. CMOS 环型压控振荡器的设计[J]. 电子科技大学学报, 2009, 38(2): 305-308.

CHENG Mengzhang, JING Weiping. Design of CMOS ring controlled oscillator[J]. Journal of University of Electronic Science and Technology of China, 2009, 38(2): 305-308. (In Chinese)

[5] 张明文. 新形势下超低功耗集成电路技术研究[J]. 电子制作, 2016(18): 26-27.

ZHANG Mingwen. Research of ultra-low dissipation integrated circuit under new situation[J]. Practical Electronics, 2016(18): 26-27. (In Chinese)

[6] 张兴, 杜刚, 王源, 等. 超低功耗集成电路技术[J]. 中国科学: 信息科学, 2012, 42(12): 1544-1558.

ZHANG Xing, DU Gang, WANG Yuan, *et al.* Technology of ultra-low dissipation integrated circuit[J]. Science China: Information Sciences, 2012, 42(12): 1544-1558. (In Chinese)

[7] 卓汇涵, 张万荣, 靳佳伟, 等. 一种低功耗宽频率调谐范围的伪差分环形VCO[J]. 半导体技术, 2015, 40(5): 343-347.

ZHUO Huihan, ZHANG Wanrong, JIN Jiawei, *et al.* A low power and wide tuning range pseudo differential ring-VCO[J]. Semiconductor Integrated Circuit, 2015, 40(5): 343-347. (In Chinese)

[8] ABIDI A A. Phase noise and jitter in CMOS ring oscillators[J]. IEEE Journal of Solid-State Circuits, 2006, 41(8): 1803-1816.

[9] SUMAN S, SHARMA K G, GHOSH P K. Analysis and design of current starved ring VCO[C]//International Conference on Electrical, Electronics, and Optimization Techniques. Chennai, Tamilnallu India, 2016: 3222-3227.

[10] SAMADIAN S, GREEN M M. Phase noise in dual inverter-based CMOS ring oscillators[C]//IEEE International Symposium on Circuits and Systems. IEEE, 2006: 1679-1682.

[11] RAZAVI B. A study of phase noise in CMOS oscillators[J]. IEEE Journal of Solid-State Circuits, 1996, 31(3): 331-343.

[12] HEYDARI P. Analysis of the PLL jitter due to power/ground and substrate noise[J]. IEEE Transactions on Circuits & Systems, 2005, 51(12): 2404-2416.

[13] RAZAVI B. Design of analog CMOS integrated circuits[M]. America: McGraw-Hill Education, 2001: 376-389.

[14] THABET H, MEILLERE S, MASMOUDI M, *et al.* A low power consumption CMOS differential-ring VCO for a wireless sensor[J]. Analog Integrated Circuits and Signal Processing, 2012, 73(3): 731-740.

[15] ZHANG C, LI Z, FANG J, *et al.* A novel high-speed CMOS fully-differential ring VCO [C]//IEEE International Conference on Solid-State and Integrated Circuit Technology. IEEE, 2014: 1-3.

[16] 谢连波, 桑红石, 方海涛, 等. 低功耗 CMOS 差分环形压控振荡器设计[J]. 微电子学与计算机, 2013, 30(5): 104-107.

XIE Lianbo, SANG Hongshi, FANG Haitao, *et al.* A design of low power consumption differential voltage controlled ring oscillator[J]. Microelectronics & Computer, 2013, 30(5): 104-107. (In Chinese)