

高速小回滞双向 SCR 的 ESD 防护器件设计

顾晓峰¹, 彭宏伟¹, 梁海莲[†], 董树荣², 刘湖云¹

(1. 江南大学 物联网技术应用教育部工程研究中心, 江苏 无锡 214122;

2. 浙江大学 微电子与光电子研究所, 浙江 杭州 310027)

摘要:针对可控硅(SCR)结构的静电放电(ESD)防护器件触发电压高、电压回滞幅度大以及开启速度慢等问题,设计了一种 RC 触发内嵌 PMOS DDSCR (DUT3)器件. 基于 0.35 μm Bipolar-CMOS-DMOS 工艺制备了传统 DDSCR (DUT1)、内嵌 PMOS DDSCR (DUT2)和 DUT3 三种器件,利用传输线脉冲系统测试了它们的 ESD 特性.实验结果表明:与 DUT1 相比,DUT2 触发电压从 31.3 V 下降至 5.46 V,维持电压从 3.59 V 上升至 4.65 V,具有窄小的电压回滞幅度.但是,由于 DUT2 内嵌 PMOS 常处于开态,导致 DUT2 器件漏电流高达 10^{-2} A 量级,不适用于 ESD 防护.通过在 DUT2 内嵌的 PMOS 栅上引入 RC 触发电路,提供固定栅压,获得的 DUT3 不仅进一步减小了电压回滞幅度,同时具有 12.6 ns 极短的器件开启时间,与 DUT1 相比,DUT3 开启速度提高了约 71.5%,漏电流稳定在 10^{-10} A 量级.优化的 DUT3 器件适用于高速小回滞窄 ESD 设计窗口低压集成电路的 ESD 防护.

关键词:静电放电;双向可控硅;触发电压;开启速度;漏电流

中图分类号:TN342

文献标志码:A

Design of ESD Protection Device for High Speed and Very Small Snapback DDSCR

GU Xiaofeng¹, PENG Hongwei¹, LIANG Hailian[†], DONG Shurong², LIU Huyun¹

(1. Engineering Research Center of IoT Technology Applications (Ministry of Education),

Department of Electronic Engineering, Jiangnan University, Wuxi 214122, China;

2. Institute of Microelectronics and Optoelectronics, Zhejiang University, Hangzhou 310027, China)

Abstract: In order to solve the problems such as large trigger voltage, large voltage snapback margin and slow turn-on speed of Electrostatic Discharge (ESD) protection devices based on the Silicon Controlled Rectifier(SCR) structure, a dual-directional SCR (DDSCR) device embedded with PMOS and triggered by the RC circuit(DUT3) was designed. Three types of devices including the conventional DDSCR (DUT1), DDSCR embedded with PMOS (DUT2) and DUT3 were fabricated in a 0.35 μm Bipolar-CMOS-DMOS process. Their ESD characteristics were

* 收稿日期:2018-06-30

基金项目:国家自然科学基金资助项目(61504049), National Natural Science Foundation of China(61504049); 江苏省自然科学基金资助项目(BK20150156), Natural Science Foundation of Jiangsu Province (BK20150156); 江苏省研究生科研与实践创新计划项目(KY-CX17_1487), Research and Practice Innovation Program for Graduate Students in Jiangsu Province (KY-CX17_1487); 中国博士后科学基金(2016M600361), China Postdoctoral Science Foundation Under Grant(2016M600361)

作者简介:顾晓峰(1971—),男,江苏无锡人,江南大学教授,博士生导师

† 通讯联系人, E-mail:hlh2010@jiangnan.edu.cn

measured by the transmission line pulse system. The test results show that, compared with DUT1, the DUT2 trigger voltage decreases from 31.3 V to 5.46 V, the holding voltage increases from 3.59 V to 4.65 V, and the voltage snap-back margin of DUT3 is very small, but the high leakage current up to 10^{-2} A makes it unsuitable for ESD protection. By introducing an RC circuit to provide a fixed gate voltage for the embedded PMOS in the DUT2, the modified DUT3 shows not only a further reduced voltage snapback margin but also a shorter response time of only 12.6 ns. Compared with DUT1, the turn-on speed of DUT3 increases by about 71.5%, and the leakage current can be stabilized at the order of 10^{-10} A. This optimized DUT3 is suitable for ESD protection in the low-voltage integrated circuits with requirements of high-speed, small snapback margin and narrow ESD design windows.

Key words: Electrostatic Discharge(ESD); dual-directional silicon controlled rectifier; trigger voltage; turn-on speed; leakage current

在集成电路(IC)静电放电(ESD)防护中,可控硅(SCR)因具有单位面积 ESD 鲁棒性强、导通电阻小等优势而备受关注^[1-2]。但是,SCR 器件在 ESD 应力作用下存在电压深回滞、易闩锁等缺点^[3-5],使其在实际应用中受到很大限制。针对 SCR 结构的电学特性及被保护电路的 ESD 防护需求,国内外研究人员在提高单向 SCR、双向 SCR (DDSCR)及相关改进型器件的 ESD 防护性能方面已取得了一定的进展与突破^[6-11]。Dong 等^[6]通过在 N 型改进型 SCR 结构中引入齐纳二极管,降低了器件的触发电压。然而,针对中高压 IC 的 ESD 防护小回滞窗口需求,该方法还需进一步增大 SCR 维持电压。Huang^[7]等通过在 SCR 中内嵌三极管或 Dong^[8]等增加浮空 Nwell 区域,提高了器件的维持电压。Wang^[9]等引用 MOS 辅助触发 SCR,或通过 SCR 中内嵌 PMOS 等设计方法^[10],减小了器件的电压回滞幅度,但都难以满足 ESD 强鲁棒性需求。Chen^[11]等通过在漏极端嵌入 N+ 注入区的设计方法,增强了 ESD 鲁棒性,但器件响应速度较慢,易因防护器件不能及时开启而导致内部被保护电路产生栅氧击穿或功能故障。因此,设计具有低触发电压、高维持电压、强 ESD 鲁棒性以及高开启速度的 ESD 防护器件,已成为 IC 片上 ESD 防护的主要研究方向。

本文基于 $0.35\ \mu\text{m}$ Bipolar-CMOS-DMOS (BCD)工艺,在传统 DDSCR (DUT1)的基础上,设计并制备了内嵌 PMOS DDSCR (DUT2)和 RC 触发内嵌 PMOS DDSCR (DUT3)等器件。通过传输线脉冲 (TLP)测试,研究并分析了新型 ESD 防护器件的工

作特性及电学机理,相关的器件结构设计及优化方法可为低压 IC 的 ESD 防护器件设计提供有益的参考。

1 器件结构设计

DUT1 器件的剖面结构如图 1 所示。为降低器件的触发电压,在两侧 Nwell 中各内嵌一个 PMOS,上述两 PMOS 通过在 Pwell 中引入的两个高掺杂 P+相连接,可优化得到 DUT2,其剖面结构如图 2(a)所示。

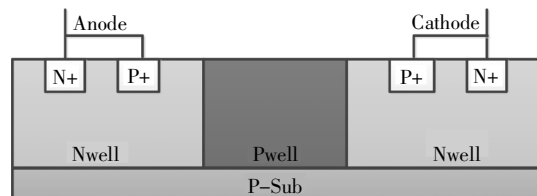


图 1 传统 SCR 器件剖面结构

Fig.1 Cross sections of conventional SCR

由于 DUT2 中 PMOS 的栅压电压具有一定的不确定性,器件可能存在大漏电流问题。因此,根据被保护电路的工作频率,设计了一个合适的 RC 辅助触发电路,确保 PMOS 具有一定的栅阈值电压,使器件能正常开启,由此获得改进的 DUT3,其剖面结构如图 2(b)所示。

与 DUT1 相比,DUT2 中引入的 PMOS 结构不仅有助于降低器件的触发电压,还因其具有电压无回滞特点,有助于提高维持电压。然而,DUT2 的内嵌 PMOS 栅压可能会随 ESD 脉冲大小发生变化,导致 PMOS 开启状态不稳定,产生较大的漏电流。与

DUT2 相比, DUT3 的内嵌 PMOS 栅压则由外部引入的 RC 辅助触发电路控制, 栅压固定, 能使器件处于关断状态, 可避免漏电流增大. 上述器件在 ESD 脉冲触发开启后, 内部均主要呈现 SCR 泄流路径, 导通电阻均较小, 具有较强的 ESD 鲁棒性.

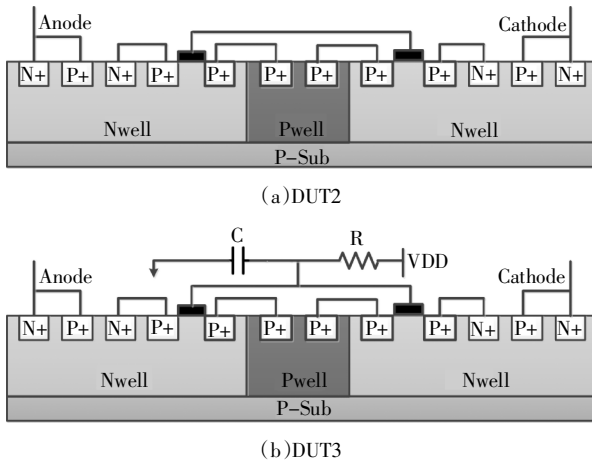


图 2 改进型 SCR 器件剖面结构
Fig.2 Cross sections of optimized SCRs

上述实验流片版图如图 3 所示, 图中金属电极焊盘面积均为 $50 \mu\text{m} \times 50 \mu\text{m}$. 除金属电极焊盘外, 图 3(a) 中传统 SCR 器件面积约为宽 \times 长 = $38 \mu\text{m} \times 24 \mu\text{m} = 912 \mu\text{m}^2$. DUT3 的器件流片版图如图 3(b) 所示. 区域 I 为除 RC 外器件部分, 区域 II 为电容, 区域 III 为电阻. DUT3 面积约为宽 \times 长 = $56 \mu\text{m} \times 62 \mu\text{m} = 3472 \mu\text{m}^2$. 区域 I 面积约为宽 \times 长 = $36 \mu\text{m} \times 31 \mu\text{m} = 1116 \mu\text{m}^2$. 与 DUT2 相比, 除 RC 触发电路外, 其他器件面积均相同. DUT2 与 DUT3 相同部分的器件面积约为 $1116 \mu\text{m}^2$.

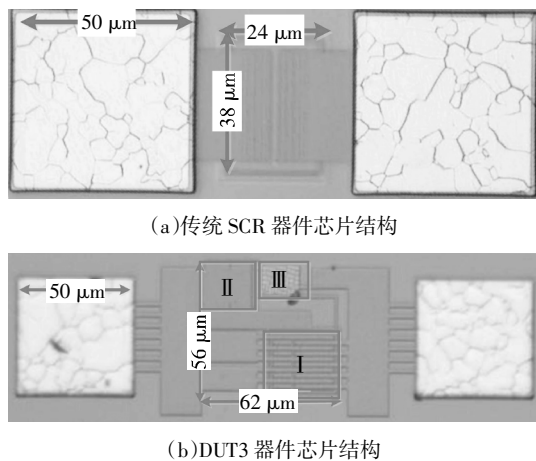


图 3 芯片结构
Fig.3 The structure of the chip

2 器件 ESD 工作特性及电学测试

基于 $0.35 \mu\text{m}$ BCD 工艺制备了前述 3 种实验器件, 利用 Barth 4002 型 TLP 测试系统获得其特性曲线, 如图 4 所示. 同一器件在瞬态 ESD 应力作用下的电流-电压 ($I-V$) 和直流偏置下的电流-漏电流 ($I-I_L$) 关系分别用相同形状的实心 and 空心符号曲线分别表示.

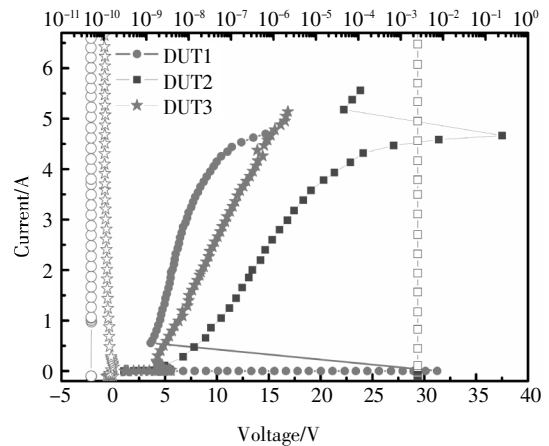


图 4 实验器件的 TLP 特性曲线
Fig.4 TLP characteristics of experimental devices

由图 4 可知, 器件的触发电压随着结构的改进与优化, 呈下降趋势, 这是由于引入 PMOS 结构均能有效地降低触发电压 (V_{it}). 并且, 与 DUT1 相比, DUT2 和 DUT3 电压回滞幅度大幅缩小, 但 DUT2 的漏电流较大. 与 DUT2 相比, DUT3 中的 RC 触发电路有效地钳制了内嵌 PMOS 的栅压, 避免了器件漏电流增大的现象, 使漏电流从 10^{-2} A 量级降至 10^{-10} A 量级.

在 TLP 应力作用下器件的主要特性参数如表 1 所示. 与 DUT1 相比, DUT2 和 DUT3 的维持电压 (V_h) 较大, 这是由于 PMOS 管的无回滞电压输出特性作用. 在器件导通之后, 上述实验器件的二次失效电流 (I_2) 均大于 4.5 A, 呈现出较强的 ESD 鲁棒性, 测试结果与前文对不同结构的工作原理分析相吻合. 结合器件的 ESD 性能参数和所消耗芯片面积, 衡量 ESD 防护器件的效能比, 该效能比通常称为品质因子 (FOM), 定义如下:

$$FOM = \frac{I_2 \times V_h}{S \times V_{it}}$$

式中: S 为器件面积,除去漏电流较大的 DUT2 以外,由计算可知,DUT1 和 DUT3 品质因子分别为 0.59 和 1.03. 因此,DUT3 仍具有较高的 ESD 防护效能.同时,与最近国际期刊报道的 PMOS 辅助触发 SCR (SSSCR)^[10]器件相比,DUT3 的 V_{it} 较小,且电压回滞幅度较窄,更适用于低压 ESD 防护设计窗口.

表 1 实验器件的主要 ESD 性能参数

Tab.1 Key ESD performance parameters of experimental devices

Devices	V_{it}/V	V_h/V	I_{t2}/A
SSSCR ^[10]	9.5	5.2	6.2
DUT1	31.3	3.59	4.71
DUT2	5.46	4.65	4.58
DUT3	5.56	4.23	4.67

为进一步研究器件的 ESD 防护性能,对 DUT2 和 DUT3 进行了正反向 TLP 测试,结果如图 5 所示.由于 DUT3 比 DUT2 多一 RC 辅助触发电路,在正向 ESD 脉冲测试中,DUT3 因 RC 辅助触发作用,器件低压触发,且 ESD 鲁棒性较强.DUT2 中的浮空 PMOS 产生的漏电流,辅助触发 SCR,导致 DUT2 呈现出与 DUT3 相似的正向 ESD 特性.在反向 ESD 脉冲测试中,DUT2 因器件结构完全对称,其反向 ESD 特性与正向脉冲测试的 ESD 特性相同.然而,因 RC 触发电路未起作用,DUT3 中内嵌 PMOS 的栅压处于高电位,此时 PMOS 处于关断状态,器件内部在导通状态下呈现为较大阱电阻性质,ESD 鲁棒性较弱.由测试可知,反向 ESD 应力作用下 DUT3 的 I_{t2} 约为

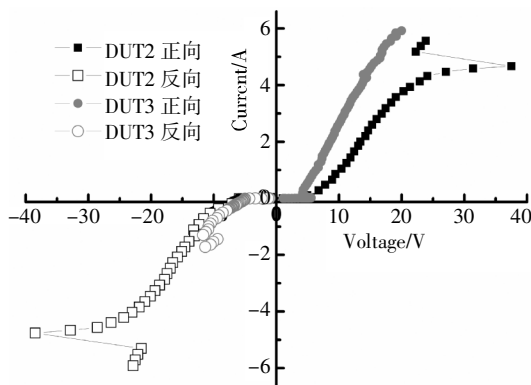


图 5 改进型 SCR 器件的正反向 TLP 测试曲线
Fig.5 Forward and reverse TLP characteristic curves of optimized SCRs

1.83 A,根据 Barth 4002 TLP 测试系统特征,在人体模型(HBM)下,该器件可承受的 ESD 电压鲁棒性可折算为: $I_{t2} \times 1500 V$. 由此可得,DUT3 器件的反向 ESD 电压鲁棒性可近似等于 2745 V.与当前电子产品行业普遍认可的 HBM 模型 2000 V 的 ESD 防护等级相比,DUT3 器件仍可满足反向 ESD 应力下的 ESD 防护需求.

3 器件开启速度测试分析

当上升沿为 10 ns,周期为 100 ns 的 ESD 脉冲信号作用于器件时,器件端电压随时间变化的关系曲线如图 6 所示.电压从 0 快速上升至一峰值(V_{os}),随后减小并降至一相对稳定的电压值(V_{ave}).将电压随时间变化并下降至 V_{os} 的 90%时刻,记为器件触发开启过程起点;将器件电压下降至 V_{ave} 的 110%时刻,记为器件触发开启过程终点;将上述起点与终点之间的时间间隔,定义为器件触发开启的响应时间(T_{on}). T_{on} 越长,器件的开启速度越慢.

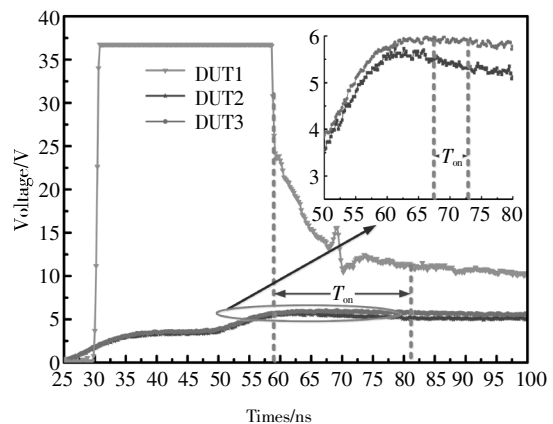


图 6 TLP 测试下器件的开启时间波形
Fig.6 TLP turn-on time waveforms of devices

根据上述定义,实验器件触发开启的响应区域如图 6 中的虚线框所示.将 DUT2 和 DUT3 响应区域放大,如图 6 中右上方内插图所示.可以发现,与 DUT1 相比,DUT2 和 DUT3 的 T_{on} 明显较短,器件开启速度快.从图 6 中提取的关键开启特性参数列于表 2.与 DUT1 相比,由于 DUT2 和 DUT3 中内嵌 PMOS 结构的辅助触发, T_{on} 分别大幅缩小至 13.4 ns 和 12.6 ns.与 DUT1 相比,DUT3 的开启速度提高了约 71.5%.此外,虽然 DUT3 与 SSSCR 的 T_{on} 相接近,

但是,DUT3 的过击穿电压较低,且导通电阻较小,因此具有更好的 ESD 防护功能。

表 2 实验器件的主要开启特性参数

Tab.2 Key turn-on characteristics of experimental devices

Devices	V_{os}/V	R_{on}/Ω	T_{on}/ns
SSSCR	17.3	6.1	10.6
DUT1	36.3	1.73	22.3
DUT2	5.73	4.87	13.4
DUT3	6.02	2.28	12.6

4 结 论

通过引入 PMOS 结构,改进型 DDSCR 器件的电压回滞幅度得以大幅缩小.但器件 DUT2 中 PMOS 栅电位不稳定,存在大漏电流问题.通过引入 RC 外部辅助电路钳制 PMOS 的栅压,器件漏电流可稳定在 10^{-10} A 量级.此外,器件的开启特性证明:PMOS 可有效降低器件的 T_{on} .与 DUT1 相比,DUT3 开启速度提高了约 71.5%.对于较低 V_{th} 和较小电压回滞幅度的 DUT3 器件,倘若根据纳米工艺的制备特征,调节器件中的相关特征尺寸参数,或进一步优化部分结构,使其具有更优良的开关特性,本实验方案也可以为纳米工艺条件下电路的 ESD 防护设计提供参考.

参考文献

- [1] CHEN J T, LIN C Y, KER M D. On-chip ESD protection device for high-speed I/O applications in CMOS technology [J]. IEEE Transactions on Electron Devices, 2017, 64(10): 3979—3985.
- [2] 陈迪平,刘杏,何龙,等.一种片上低触发电压高耐压 NMOS ESD 防护结构设计[J]. 湖南大学学报(自然科学版), 2016, 43(2):115—118.
- [3] CHEN D P, LIU X, HE L, *et al.* An on-chip NMOS ESD protection circuit with low trigger voltage and high ESD robustness [J]. Journal of Hunan University (Natural Sciences), 2016, 43(2): 115—118. (In Chinese)
- [4] LIANG H L, GU X F, DONG S R, *et al.* RC-embedded LDMOS-SCR with high holding current for high-voltage I/O ESD protection [J]. IEEE Transactions on Device and Materials Reliability, 2015, 15(4):495—499.
- [5] HUANG X Z, LIOU J J, LIU Z W, *et al.* A new high holding voltage dual-direction SCR with optimized segmented topology [J]. IEEE Electron Device Letters, 2016, 37(10):1311—1313.
- [6] 黄龙,梁海莲,顾晓峰,等.多晶硅栅对 LDMOS-SCR 器件 ESD 防护性能的影响 [J]. 浙江大学学报(工学版), 2015, 49(2): 366—370.
- [7] HUANG L, LIANG H L, GU X F, *et al.* Effect of poly-silicon gate on ESD protection performance of LDMOS-SCR devices [J]. Journal of Zhejiang University (Engineering Science), 2015, 49(2):366—370. (In Chinese)
- [8] DONG S R, ZHONG L, ZENG J, *et al.* Stacked zener trigger SCR for HV IC ESD protection [J]. Microelectronics Reliability, 2014, 54(6/7):1160—1162.
- [9] HUANG X Z, LIU Z W, LIU F, *et al.* High holding voltage SCR with shunt-transistors to avoid the latch-up effect[C]// Nanoelectronics Conference. Chengdu: IEEE, 2016: 1—2.
- [10] DONG S R, WU J, MIAO M, *et al.* High-holding-voltage silicon-controlled rectifier for ESD applications[J]. IEEE Electron Device Letters, 2012, 33(10):1345—1347.
- [11] WANG Y, JIN X L, LIU Y, *et al.* Robust dual-direction SCR with low trigger voltage, tunable holding voltage for high-voltage ESD protection [J]. Microelectronics Reliability, 2015, 55(3/4):520—526.
- [12] WANG W H, JIN H, GUO W, *et al.* Very small snapback silicon-controlled rectifier for electrostatic discharge protection in 28 nm processing [J]. Microelectronics Reliability, 2016, 61(6):106—110.
- [13] CHEN S L, YANG C H, YEN C Y, *et al.* Novel parasitic-SCR impacts on ESD robustness in the 60 V power pLDMOS devices[C]//IEEE International Conference on Consumer Electronics. Taiwan: IEEE, 2017:381—382.