

一种低温漂高电源电压抑制比带隙基准电压源设计

谢海情^{1,2},王振宇^{1,2},曾健平^{3†},陆俊霖^{1,2},曹武^{1,2},陈振华^{1,2},崔凯月^{1,2}

(1. 长沙理工大学 物理与电子科学学院,湖南 长沙 410114;

2. 长沙理工大学 柔性电子材料基因工程湖南省重点实验室,湖南 长沙 410114;

3. 湖南大学 物理与微电子科学学院,湖南 长沙 410082)

摘要:通过将具有高阶温度项的 MOS 管亚阈值区漏电流转换为电压,并与一阶温度补偿电压进行加权叠加,实现二阶温度补偿.采用高增益的运放和负反馈回路提高电源抑制能力,设计一种低温漂高电源电压抑制比带隙基准电压源.基于 0.18 μm CMOS 工艺,完成电路设计与仿真、版图设计与后仿真.结果表明,在 1.8 V 的电源电压下,电路输出电压为 1.22 V;在温度变化为 $-40\sim 110\text{ }^\circ\text{C}$ 时,温度系数为 3.3 ppm/ $^\circ\text{C}$;低频电源电压抑制比为 $-96\text{ dB}@100\text{ Hz}$;静态电流仅为 33 μA .

关键词:带隙基准;温度系数;电源电压抑制比;温度补偿

中图分类号:TN402

文献标志码:A

Design of Bandgap Voltage Reference with Low Temperature Drift and High PSRR

XIE Haiqing^{1,2}, WANG Zhenyu^{1,2}, ZENG Jianping^{3†}, LU Junlin^{1,2}, CAO Wu^{1,2},
CHEN Zhenhua^{1,2}, CUI Kaiyue^{1,2}

(1. School of Physics and Electronics Science, Changsha University of Science and Technology, Changsha 410114, China;

2. Hunan Provincial Key Laboratory of Flexible Electronic Materials Genome Engineering,
Changsha University of Science and Technology, Changsha 410114, China;

3. School of Physics and Electronics, Hunan University, Changsha 410082, China)

Abstract: The second-order temperature compensation was realized by weighted superposition of the first-order temperature compensation voltage and the voltage with high-order temperature term which was conversed from the subthreshold leakage current of MOS transistor. In addition, a high-gain operational amplifier and negative feedback loop were adopted to improve the power supply rejection ratio (PSRR). Subsequently, a bandgap voltage reference with low temperature drift and high power supply voltage rejection ratio was proposed. Based on 0.18 μm CMOS technology, circuit design and simulation, layout design, and post-simulation were carried out. The results indicated that the output voltage was 1.22 V under the power supply voltage of 1.8 V; the temperature coefficient (TC) was 3.3 ppm/ $^\circ\text{C}$ in the temperature range from $-40\text{ }^\circ\text{C}$ to $110\text{ }^\circ\text{C}$; the PSRR at low frequency was $-96\text{ dB}@100\text{ Hz}$; the static current was only 33 μA .

Key words: band gap; temperature coefficient; PSRR (power supply rejection ratio); temperature compensation

* 收稿日期:2020-11-23

基金项目:国家自然科学基金资助项目(61404011), National Natural Science Foundation of China(61404011);长沙市科技计划重点项目(kq1901102), The Key Projects of Changsha Science and Technology Plan (kq1901102);湖南省教育厅科学研究项目(20K007), Scientific Research Fund of Hunan Provincial Education Department(20K007)

作者简介:谢海情(1982—),男,湖南耒阳人,长沙理工大学副教授,博士

† 通信联系人, E-mail: zengjp@hnu.edu.cn

带隙基准电压源作为集成电路的重要模块之一,能够有效抑制电压扰动与温度变化对输出的影响,产生精准的基准电压,从而被广泛应用于诸多领域^[1].传统的带隙基准电压源是通过对三极管的发射结电压 V_{BE} 进行一阶温度补偿,降低温度系数,从而减小温度变化对基准电压的影响^[2-3].然而,由于高阶温度项的存在,一阶温度补偿的极限约为 $13 \text{ ppm}/^\circ\text{C}$ ^[4],无法满足高精度集成电路系统的要求.为提高带隙基准电压源的性能,人们尝试了多种技术以降低基准源的温度系数. Andreou 等^[5]提出了一种新型的宽温度范围的基准电压源,利用多晶硅电阻和运放产生与绝对温度呈负相关性的电流进行曲率补偿,从而拓宽了温度范围,但容易受到工艺变化引起的不匹配的影响. Duan 等^[6]通过设计两个基准源模块和共源共栅电流镜结构,分别获得了曲率上升和曲率下降的基准电流,实现了精确的匹配,降低了温度系数,但其采用了多个运放,不仅使电路更为复杂,而且消耗更多的功耗. Ming 等^[7]利用多个低阻抗路径,将电源纹波在未抵达输出前旁路至地,并通过多个电流基准形成高阶曲率补偿,从而获得了高稳定性的基准电压,但其工作温度范围较为狭窄.此外, Wang 等^[8]利用硅带隙变窄效应,将三极管的发射结电压随温度变化的曲率由 3.6 mV 降到 1.4 mV ,在不增加功耗的基础上,提高了带隙基准电压源的精度.肖璟博等^[9]利用双带隙结构,以电流比例相减的方式实现曲率补偿.文献[4]提出了一种指数型曲率补偿技术,通过亚阈值区 MOS 管获得与绝对温度呈指数关系的补偿电流,取得了良好的效果. Chen 等^[10]提出了分段式电流补偿技术,将加法电路,减法电路和电流镜结合在一起,分别补偿不同温度范围内的曲率,在整个温度范围内实现良好的温度系数.但这些技术在降低温度系数的同时,输出电压易受电源电压扰动影响,难以获得较高的电源电压抑制比(Power Supply Rejection Ratio, PSRR).

针对以上问题,本文通过电阻将亚阈值区 MOS 管漏电流转换为电压,并与一阶温度补偿电压进行加权叠加,实现二阶温度补偿.同时采用高增益的运放以及负反馈回路减少电源扰动的影响,从而获得了低温漂高电源电压抑制比的带隙基准电压源.

1 二阶温度补偿原理

为了获得高精度的基准电压,减少温度的影响,需对基准电压进行温度补偿.一阶温度补偿原理如图 1 所示,具有负温度系数的三极管基极-发射极电

压 V_{BE} 与具有正温度系数的热电压 V_T 形成补偿,得到一阶温度补偿电压 V_{ref1} ^[11]:

$$V_{ref1} = V_{BE} + \gamma V_T \quad (1)$$

式中: γ 为温度补偿系数; $V_T = kT/q$, k 为玻尔兹曼常数, q 为单位电荷量.

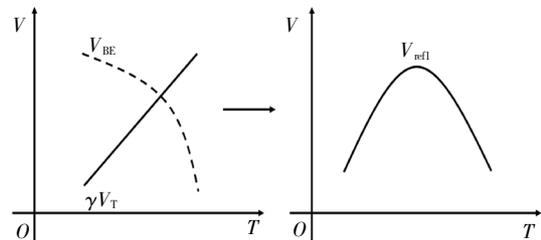


图 1 一阶温度补偿原理图

Fig.1 Schematic of first-order temperature compensation

由于 V_{BE} 存在高阶温度项,热电压无法完全补偿,导致 V_{ref1} 的变化在低温区为曲率上升,在高温区为曲率下降,温度系数较大.因此,需要对一阶温度补偿电压,进行二阶温度补偿.二阶温度补偿原理如图 2 所示,通过转换亚阈值 MOS 管漏电流 I_d 为补偿电压,得到具有高阶温度项的正温度系数电压 V_{ref2} .再利用正温度系数电压 V_{ref2} 对一阶温度补偿电压 V_{ref1} 的高温区进行补偿,得到温度系数更低的二阶温度补偿电压 V_{REF} :

$$V_{REF} = V_{ref1} + V_{ref2} = V_{BE} + \gamma V_T + V_{ref2} \quad (2)$$

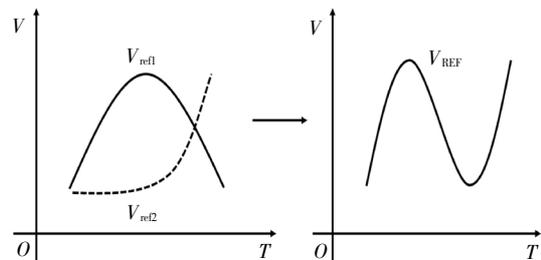


图 2 二阶温度补偿原理图

Fig.2 Schematic of second-order temperature compensation

2 电路设计

本文设计的带隙基准电压源电路如图 3 所示,主要由一阶温度补偿电路、二阶温度补偿电路、输出电路和启动电路组成.利用工作于亚阈值区的 MOS 管产生具有高阶温度项的电流,并利用电阻将其转化成补偿电压,然后将补偿电压与传统的一阶温度补偿电压进行比例叠加,实现二阶温度补偿.

2.1 一阶温度补偿电路设计

如图 3 所示,一阶温度补偿电路由 PMOS 管 $M_1 \sim M_6$, 电阻 R_1, R_2 , 三极管 $Q_1 \sim Q_3$, 以及运算放大器 OP

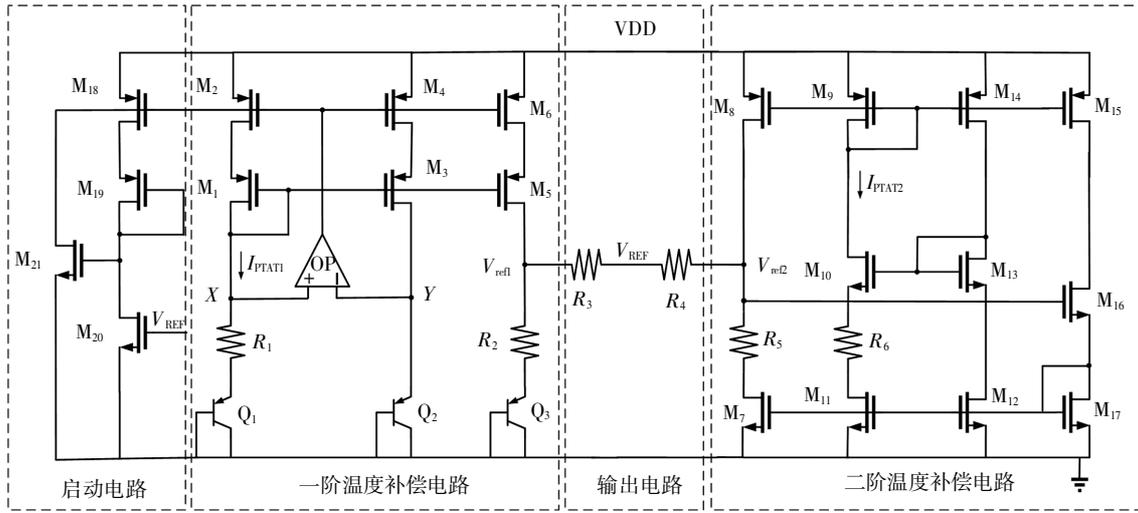


图 3 所提出的带隙基准电压源电路原理图

Fig.3 Schematic of the proposed bandgap voltage reference

组成,输出一阶温度补偿电压.其中,运算放大器 OP 与 MOS 管 $M_1 \sim M_4$ 构成深度负反馈网络,不仅提高了电路的电源抑制能力,而且钳制了 X 与 Y 点的电位,使得 $V_X = V_Y$. 因此,

$$V_{BE1} = R_1 I_{PTAT1} = V_{BE2} \quad (3)$$

从而得到正温度系数电流 I_{PTAT1} :

$$I_{PTAT1} = \frac{\Delta V_{BE}}{R_1} = \frac{1}{R_1} V_T \ln N \quad (4)$$

式中: V_{BE1} 、 V_{BE2} 分别为三极管 Q_1 、 Q_2 的发射结电压; N 为 Q_2 与 Q_1 的发射结面积之比.

MOS 管 $M_1 \sim M_6$ 具有相同的宽长比,构成共源共栅电流镜.因此,正温度系数电流 I_{PTAT1} 被复制到 M_6 所在支路,得到一阶温度补偿电压:

$$V_{ref1} = V_{BE3} + R_2 I_{PTAT1} = V_{BE3} + \frac{R_2}{R_1} V_T \ln N \quad (5)$$

三极管基级-发射极电压 V_{BE} ,可表示为^[12]:

$$V_{BE}(T) = V_{g0} - \frac{T}{T_0} [V_{g0} - V_{BE}(T_0)] - (\beta - \alpha) V_T \ln \left(\frac{T}{T_0} \right) \quad (6)$$

式中: V_{g0} 为硅的带隙电压,与温度无关; T_0 为参考温度,取 300 K; β 是受工艺影响的常数; α 为偏置电流的指数温度系数.

由式 (6) 可以看出, V_{BE} 中存在高阶温度项 $V_T \ln(T/T_0)$. 对式 (6) 的高次项进行泰勒级数分解可以得到:

$$V_T \ln \left(\frac{T}{T_0} \right) \approx \frac{k}{q} T \left[\left(\frac{T}{T_0} - 1 \right) - \frac{1}{2} \left(\frac{T}{T_0} - 1 \right)^2 + \frac{1}{3} \left(\frac{T}{T_0} - 1 \right)^3 \right] \quad (7)$$

又因为

$$\frac{T}{T_0} - 1 \gg -\frac{1}{2} \left(\frac{T}{T_0} - 1 \right)^2 + \frac{1}{3} \left(\frac{T}{T_0} - 1 \right)^3 \quad (8)$$

所以 V_{BE} 的高阶温度项中,二次项起主导作用,保留式 (7) 的第一项,联立式 (5) (6) 可得:

$$V_{ref1} = V_{g0} - \frac{T}{T_0} [V_{g0} - V_{BE3}(T_0)] - (\beta - \alpha) \frac{k}{q} T \left(\frac{T}{T_0} - 1 \right) + \frac{R_2}{R_1} V_T \ln N \quad (9)$$

因此,通过调节 R_2/R_1 的值可以消除一阶温度项.为进一步减小 V_{BE} 高阶温度项对基准源的温度特性的影响,仍需要进行二阶温度补偿.

2.2 二阶温度补偿电路设计

如图 3 所示,二阶温度补偿电路由 MOS 管 $M_7 \sim M_{17}$, 和电阻 R_5 、 R_6 组成. M_9 与 M_{14} 的栅极偏置于 M_9 的漏极, M_{10} 和 M_{13} 的栅极偏置于 M_{13} 的漏极,使得流过 M_9 的电流 I_{PTAT2} 与电源无关. $M_{15} \sim M_{17}$ 组成偏置电路为 M_{11} 和 M_{12} 提供偏置,通过调整 $M_{15} \sim M_{17}$ 的宽长比 (W/L),使得 M_{11} 、 M_{12} 和 M_{17} 在整个工作温度范围内工作于亚阈值区.因此流过 M_{11} 的电流 I_{PTAT2} 为亚阈值区电流,可表示为^[13]:

$$I_{PTAT2} = (n-1) \mu C_{ox} \left(\frac{W}{L} \right)_{11} \frac{k^2}{q^2} T^2 \exp \left[\frac{q(V_{GS11} - V_{TH11})}{knT} \right] \quad (10)$$

式中: n 为亚阈值修正因子; V_{GS11} 为 M_{11} 的栅源电压; μ 为载流子迁移率.令:

$$\lambda = \frac{q(V_{GS11} - V_{TH11})}{kn} \quad (11)$$

则,将式 (10) 进行洛朗展开,可得:

$$I_{PTAT2} \approx (n-1) \mu C_{ox} \left(\frac{W}{L} \right)_{11} \frac{k^2}{q^2} (T^2 + \lambda T + \frac{\lambda^2}{2}) \quad (12)$$

可见, I_{PTAT2} 具有二阶温度项.

MOS管 M_8 、 M_9 、 M_{14} 具有相同的宽长比, 构成电流镜结构. 因此, M_8 所在支路的电流为 I_{PTAT2} , 二阶补偿电压 V_{ref2} 可表示为:

$$V_{ref2} = R_5 I_{PTAT2} + V_{DS7} = R_5(n-1)\mu C_{OX}\left(\frac{W}{L}\right)_{11}\left(T^2 + \lambda T + \frac{\lambda^2}{2}\right) + V_{DS7} \quad (13)$$

式中: V_{DS7} 为 MOS管 M_7 的漏源电压. M_7 与 M_{11} 的宽长比和栅源电压都相同, 因此 M_7 工作于亚阈值区, 其导通电阻可表示为:

$$R_{DS7} = [\mu C_{OX}\left(\frac{W}{L}\right)_{11} V_T \exp\left(\frac{V_{GS11} - V_{TH11}}{nV_T}\right)]^{-1} \quad (14)$$

从而

$$V_{DS7} = I_{PTAT2} + R_{DS7} = nV_T \quad (15)$$

将式(15)代入式(13)可得二阶温度补偿电压:

$$V_{ref2} = R_5(n-1)\mu C_{OX}\left(\frac{W}{L}\right)_{11}\frac{k^2}{q^2}\left(T^2 + \lambda T + \frac{\lambda^2}{2}\right) + nV_T \quad (16)$$

为了进一步提高电源抑制比, M_{16} 、 M_{17} 、 M_7 、 R_5 构成闭环负反馈电路. 当 M_{16} 源极电位升高时, M_{17} 和 M_7 的栅极电位升高, M_7 的漏极电位降低, 电阻 R_5 上端电位降低, 从而 M_{16} 的栅极电位降低. 由于漏极电流不变, 最终导致 M_{16} 的源极电位降低.

2.3 输出电路

如图3所示, 输出回路由串联的电阻 R_3 与 R_4 组成, 回路两端分别连接一阶温度补偿电压 V_{ref1} 与二阶温度补偿电压 V_{ref2} , 基准输出电压 V_{REF} 即为电阻 R_3 和电阻 R_4 的连接点电压. 理想情况下, 一阶温度补偿电压 V_{ref1} 与二阶温度补偿电压 V_{ref2} 的值相等, 则输出回路没有压降, 无电流流过电阻, 即 $V_{REF} = V_{ref1} = V_{ref2}$. 实际上, V_{ref1} 与 V_{ref2} 之间存在较小的压降, 则输出回路中有电流从高电位流向低电位, 从而平衡 V_{ref1} 和 V_{ref2} 的差距, 使之趋于一致. 因此, 基准输出电压 V_{REF} 可表示为:

$$V_{REF} = mV_{ref1} + (1-m)V_{ref2} \quad (17)$$

其中, $m = R_4/(R_3 + R_4) < 1$.

将式(9)(16)代入式(17), 可得:

$$V_{REF} = m\left\{V_{g0} - \frac{T}{T_0}[V_{g0} - V_{BE3}(T_0)] - (\beta - \alpha)\frac{k}{q}T\left(\frac{T}{T_0} - 1\right) + \frac{R_2}{R_1}V_T \ln N\right\} + (1-m)R_5(n-1)\mu C_{OX}\left(\frac{W}{L}\right)_{11}\frac{k^2}{q^2}\left(T^2 + \lambda T + \frac{\lambda^2}{2}\right) + (1-m)nV_T \quad (18)$$

式(18)对温度 T 求一阶导数, 可得:

$$\frac{\partial V_{REF}}{\partial T} = m\left\{-\frac{V_{g0} - V_{BE3}(T_0)}{T_0} - (\beta - \alpha)\frac{k}{q}\left(\frac{2T}{T_0} - 1\right) + \frac{R_2 k}{R_1 q} \ln N\right\} + (1-m)n\frac{k}{q} + (1-m)R_5(n-1)\mu C_{OX}\left(\frac{W}{L}\right)_{11}\frac{k^2}{q^2}(2T + \lambda) \quad (19)$$

根据式(19)可知, V_{REF} 的温度系数由电阻 $R_1 \sim R_5$ 控制, 为得到对温度不敏感的基准输出电压, 令 $\partial V_{REF}/\partial T = 0$, 则

$$R_5 = \frac{R_4}{R_3} \frac{\beta - \alpha}{T_0(n-1)\mu C_{OX}\left(\frac{W}{L}\right)_{11}\frac{k}{q}} \quad (20)$$

$$\frac{R_2}{R_1} = \frac{q}{k} \frac{V_{g0} - V_{BE3}(T_0)}{T_0 \ln N} - \frac{(\beta - \alpha)}{\ln N} - \frac{nR_3}{\ln NR_4} - \lambda \frac{\beta - \alpha}{T_0 \ln N} \quad (21)$$

因此, 根据式(20)(21)的约束关系设置电阻值, 即可得到温度系数(Temperature Coefficient, TC)近似为零的基准输出电压.

2.4 启动电路

如图3所示, 启动电路由 MOS管 $M_{18} \sim M_{21}$ 组成, 保证基准源正常启动. 其中, $M_{18} \sim M_{20}$ 的源漏极相互连接, 构成从 VDD 到地的支路. M_{20} 的栅极与基准输出电压 V_{REF} 连接; M_{19} 的栅漏极短接, 并于 M_{21} 栅极相连. 当电路接通电源时, 所有支路处于零电流状态, M_{21} 栅极处于高电位, M_{21} 导通, 并产生电流以启动电流镜, 电路进入正常工作状态, 输出电压使得 M_{20} 导通, M_{21} 截止.

3 电路仿真与分析

基于 0.18 μm CMOS 工艺完成电路版图设计与验证, 总体版图如图4所示, 总面积为 $112 \mu\text{m} \times 91 \mu\text{m}$. 为减少版图设计对基准电压源性能的影响, 在版图设计中, 三极管采用共心交叉结构, 电阻阵列和 MOS管采用叉指结构, 减少工艺变化引起的不匹配.

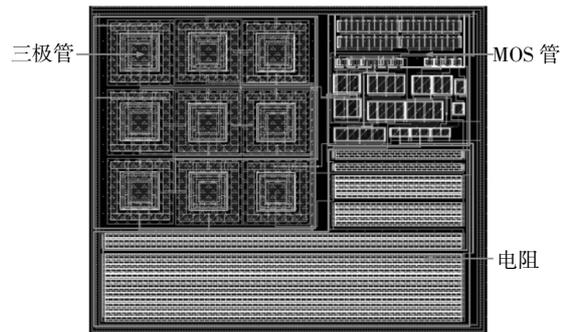


图4 所提出的带隙基准电压源版图

Fig.4 Layout of the proposed bandgap voltage reference

采用 Cadence 公司的 Spectre 工具,完成电路前后仿真. V_{ref1} 随温度变化曲线如图 5 所示. 当 $T = 27$ °C 时, $V_{ref1} = 1.29584$ V. 当温度在 $-40 \sim 110$ °C 变化时, V_{ref1} 的最大值为 1.29592 V, 最小值为 1.29324 V. V_{ref1} 的变化量为 2.68 mV, 根据公式(22)可求得 V_{ref1} 的温度系数为 13.78 ppm/°C.

$$TC = \frac{V_{MAX} - V_{MIN}}{V_{REF}(T_{MAX} - T_{MIN})} \times 10^6 \quad (22)$$

式中: V_{MAX} 与 V_{MIN} 分别为输出电压的最大值和最小值; V_{REF} 为常温下 (27 °C) 的输出电压值; T_{MAX} 与 T_{MIN} 分别为使用温度范围的最大值和最小值.

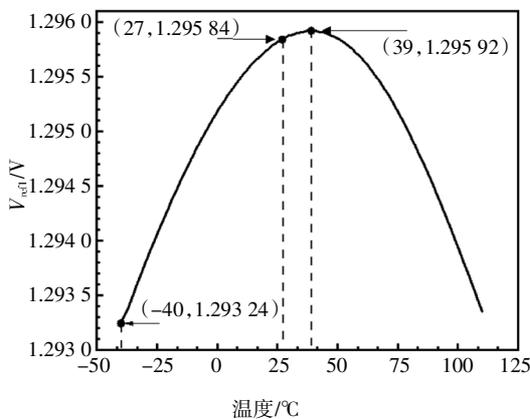


图 5 一阶温度补偿电压 V_{ref1} 的温度特性曲线
Fig.5 Temperature characteristic curve of first-order temperature compensation voltage V_{ref1}

经过亚阈值区 MOS 管漏电流转换电压的补偿后,基准电压 V_{REF} 的温度特性曲线如图 6 所示. 在 $T = 27$ °C 时, $V_{REF} = 1.22004$ V. 当温度在 $-40 \sim 110$ °C 变化时, V_{REF} 的最大值为 1.22019 V, 最小值为 1.21958 V. V_{REF} 的变化量为 0.61 mV, 由式(22)可得温度系数为 3.3 ppm/°C. 与一阶温度补偿电压 V_{ref1} 相比, 二阶温度补偿电路有效的补偿了 V_{ref1} 中的高阶温度项, 降低了基准输出电压的温度系数, 提高了温度稳定性.

电源电压抑制比随频率的变化曲线如图 7 所示. 由于分别在一、二阶温度补偿电路中构建了闭环负反馈回路, 该基准源在低频时具有较高的电源电压抑制比, 在频率为 100 Hz 时, $PSRR = -96$ dB@100 Hz.

本文设计的基准电压源与同类带隙基准源性能对比如表 1 所示. 可以看出, 由于采用了二阶温度补偿电路, 并构建了闭环负反馈网络, 该基准电压源具有小的温度系数和高的电源抑制比. 虽然采用多个

电阻, 使得电路易受到工艺的影响. 但电路中电阻的阻值呈比例关系, 通过电路版图的匹配设计可以有效解决此问题.

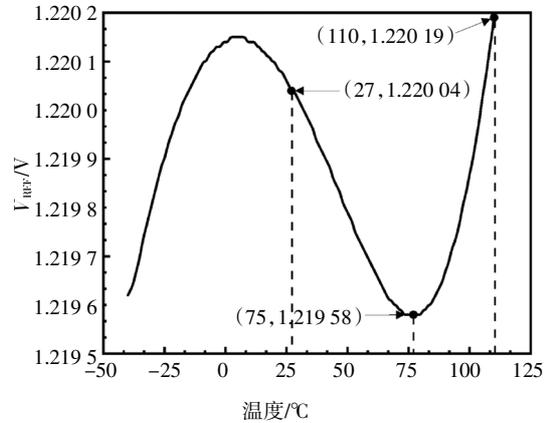


图 6 基准电压 V_{REF} 温度特性曲线
Fig.6 Temperature characteristic curve of reference voltage V_{REF}

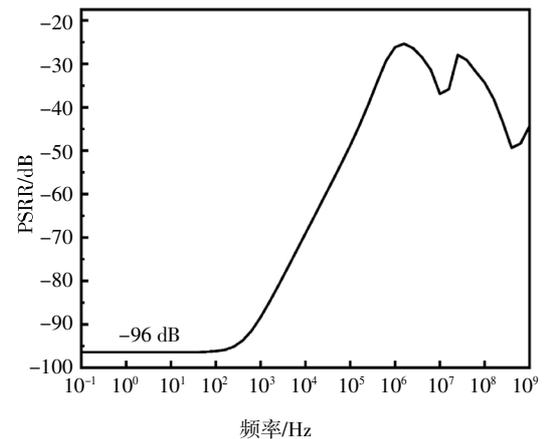


图 7 基准电压源电源电压抑制比特性曲线
Fig.7 Power supply rejection ratio of the proposed bandgap voltage reference

表 1 同类带隙基准电压源性能比较
Tab.1 Performance comparison between proposed bandgap voltage reference and other similar bandgap voltage references

设计	工艺/ μm	电源 电压/ V	基准 电压/ V	温度 范围/ °C	温度 系数/ (ppm· °C ⁻¹)	电源 抑制 比/(dB@ 100 Hz)	静态 电流/ μA
文献[6]	0.13	1.2	0.735	-40~120	4.2	-30	120
文献[7]	0.5	2.1~5	1.19	-5~125	9.72	-84	38
文献[8]	0.18	1.3~2.6	1.14	-55~125	4.1	-54	4.3
本文	0.18	1.8	1.22	-40~110	3.3	-96	33

4 结论

本文提出了一种低温度系数、高 PSRR 的带隙基准电压源电路。利用工作于亚阈值区的 MOS 管的漏电流实现二阶温度补偿,并通过推导其温度特性模型,对器件参数进行优化设计。相比于传统的基准源,通过采用高增益运放和负反馈回路,在不增加功耗的情况下,提高了电路的电源电压抑制比。仿真结果表明,在 1.8 V 的电源电压下,基准输出电压为 1.22 V;温度在 $-40\sim 110\text{ }^{\circ}\text{C}$ 变化时,温度系数为 $3.3\text{ ppm}/^{\circ}\text{C}$;低频电源电压抑制比为 $-96\text{ dB}@100\text{ Hz}$;静态电流仅为 $33\text{ }\mu\text{A}$ 。因此,该基准电压源虽然使用了多个电阻,但具有较高的精度和较低的功耗,能够满足高精度集成电路系统的需求。

参考文献

- [1] 曾健平,田涛,刘利辉,等.低功耗高电源抑制比 CMOS 带隙基准源设计[J].湖南大学学报(自然科学版),2005,32(5):39—42.
ZENG J P, TIAN T, LIU L H, *et al.* Design of CMOS bandgap voltage reference with low power and high PSRR[J]. Journal of Hunan University (Natural Sciences), 2005, 32(5) 39—42. (In Chinese)
- [2] BROKAW A P. A simple three-terminal IC bandgap reference[J]. IEEE Journal of Solid-State Circuits, 1974, 9(6): 388—393.
- [3] WIDLAR R. New developments in IC voltage regulators[C]//1970 IEEE International Solid-State Circuits Conference. Digest of Technical Papers. Philadelphia, PA: IEEE, 1970: 158—159.
- [4] ZHU G Q, YANG Y T, ZHANG Q D. A $4.6\text{-ppm}/^{\circ}\text{C}$ high-order curvature compensated bandgap reference for BMIC[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(9): 1492—1496.
- [5] ANDREOU C M, KOUDOUNAS S, GEORGIU J. A novel wide-temperature-range, $3.9\text{ ppm}/^{\circ}\text{C}$ cmos bandgap reference circuit[J]. IEEE Journal of Solid-State Circuits, 2012, 47(2): 574—581.
- [6] DUAN Q, ROH J. A $1.2\text{-V } 4.2\text{-ppm}/^{\circ}\text{C}$ high-order curvature-compensated cmos bandgap reference[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(3): 662—670.
- [7] MING X, HU L, XIN Y L, *et al.* A high-precision resistor-less CMOS compensated bandgap reference based on successive voltage-step compensation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(12): 4086—4096.
- [8] WANG B, LAW M K, BERMAK A. A precision cmos voltage reference exploiting silicon bandgap narrowing effect[J]. IEEE Transactions on Electron Devices, 2015, 62(7): 2128—2135.
- [9] 肖璟博,陈敏,张成彬,等.低功耗双带隙结构的 CMOS 带隙基准源[J].湖南大学学报(自然科学版),2017,44(8):124—130.
XIAO J B, CHEN M, ZHANG C B, *et al.* CMOS bandgap reference of low-power-consumption double-bandgap structures [J]. Journal of Hunan University (Natural Sciences), 2017, 44(8): 124—130. (In Chinese)
- [10] CHEN H M, LEE C C, JHENG S H, *et al.* A sub- $1\text{ ppm}/^{\circ}\text{C}$ precision bandgap reference with adjusted-temperature-curvature compensation [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(6): 1308—1317.
- [11] 毕查德·拉扎维.模拟 CMOS 集成电路设计 [M].陈贵灿等译.西安:西安交通大学出版社,2003:314—320.
BEHZAD R. Design of analog CMOS the integrated circuits [M]. Translate by CHEN G C, *et al.* Xi'an: Xi'an Jiaotong University Press, 2003: 314—320. (In Chinese)
- [12] TSIVIDIS Y P. Accurate analysis of temperature effects in $I/\text{SUB } c/ V/\text{SUB } BE/$ characteristics with application to bandgap reference sources [J]. IEEE Journal of Solid-State Circuits, 1980, 15(6): 1076—1084.
- [13] PIERRE R F. Semiconductor device fundamentals [M], Boston: Addison Wesley, 1996: 489—492.