

# 应用于电感耦合型隔离通讯的芯片设计\*

王彤<sup>1,2</sup>, 赵野<sup>1†</sup>, 陈杰<sup>1</sup>

(1. 中国科学院微电子研究所, 北京 100029; 2. 中国科学院大学, 北京 100049)

**摘要:**为增强信号在恶劣的电气噪声环境中传输的安全性和可靠性,提出并设计了一款利用SPI数据链路实现设备远程控制的隔离通讯芯片.分析目前两种SPI总线隔离方案的优缺点,折中隔离方式、电路复杂性、成本和可靠性等因素,利用“平衡”双线技术,采用双绞线作为传输介质,将四路SPI信号编码成能够通过变压器耦合的无直流脉冲,提高了数据传输的准确性和系统工作的可靠性.芯片基于GSMC 0.18  $\mu\text{m}$  CMOS标准工艺设计,核心面积为 $1.33 \times 1.45 \text{ mm}^2$ .流片测试结果表明,芯片可实现1 Mbps的通讯速率,误码率小于 $10^{-9}$ ,在通信速率为0.5 Mbps的条件下支持的最大电缆长度可达50 m,实现了远程受控器的灵活网络化配置,与同类隔离方案相比,是一种兼具低成本、高可靠和结构优化的远程控制解决方案.

**关键词:** SPI; 远程控制; 隔离通讯; 双绞线; 电感耦合

**中图分类号:** TN402; TN79

**文献标志码:** A

## Design of a Chip Applied for Inductively Coupling Isolated Communication

WANG Tong<sup>1,2</sup>, ZHAO Ye<sup>1†</sup>, CHEN Jie<sup>1</sup>

(1. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** In order to enhance the security and reliability of the signal transmission in the harsh electrical noisy environment, an isolated communication chip was proposed and designed to realize the remote control of the equipment by SPI data link. The advantages and disadvantages of two current SPI isolation schemes were analyzed. Considering the isolation method, circuit complexity, cost, reliability, and other factors, the chip uses the “balanced” two-wire technology and encodes the four SPI signals into DC-free pulse that can be coupled by a transformer, which can improve the accuracy of data transmission and system reliability. The chip was designed and fabricated in GSMC 0.18  $\mu\text{m}$  CMOS standard process, with a total chip area of  $1.33 \times 1.45 \text{ mm}^2$ . Test results show that the chip can reach a bit error ratio of  $10^{-9}$  at 1 Mbps. The maximum cable length supported at a data rate of 0.5 Mbps can be up to 50 meters. It achieves the flexible network configuration of the remote controlled device. Compared with other similar isolation schemes, the designed chip is a low-cost, highly reliable and structural optimization solution for remote control.

\* 收稿日期:2017-04-28

基金项目:国家重点研发计划“新能源汽车专项”(2016YFB0100516), National Key Research and Development Program of China (2016YFB0100516)

作者简介:王彤(1991-),女,山东泰安人,中国科学院微电子研究所博士研究生

† 通讯联系人, E-mail: zhaoye@ime.ac.cn

**Key words:** SPI; remote control; isolated communication; twisted pair; inductive coupling

SPI(serial peripheral interface)是一种同步串行外设接口,能够方便地实现 MCU 与外部设备之间的通信,具有接口线少、数据速率高、支持全双工操作等特点,在电路集成设计中得到了广泛应用<sup>[1]</sup>. SPI 通信可采用接口直接对接的方式,实现主设备和外部设备间的通信.但在工业现场的数据采集中,由于设备工作环境复杂,各通信节点具有很高的共模电压,干扰较大,造成 SPI 接口无法正常工作,严重时甚至会烧毁芯片和仪器设备.因此,为了保证设备正常通信以及核心控制电路和操作人员的安全,对 SPI 总线各个通信节点实行电气隔离是非常必要的.

传统的 SPI 总线隔离方法是光耦合技术,采用光束作为媒介传输电信号,在高压和低压电气环境之间提供安全接口.目前一般使用 6N137 光电隔离器件<sup>[2]</sup>,该器件隔离电压高、抗干扰能力强、使用寿命长.但每个芯片仅提供一路隔离通道,隔离 SPI 接口需要四颗隔离芯片并配置四个光耦器件,导致电路板使用空间与成本的增加,增加了电路复杂性,导致设计时间延长和电路稳定性下降.而且光耦器件本身具有易损耗、速度较慢(一般的数据速率低于 1 Mbps)、耗电量等缺点,给其应用带来局限.数字隔离器是另一种 SPI 总线隔离方案,它使用变压器或电容将数据以磁性方式或容性方式耦合到隔离栅的另一端.典型的器件是 ADI 公司的 ADuM 系列<sup>[3]</sup>,该系列器件采用芯片尺寸的微型变压器,通过电感耦合进行隔离,与光耦合器件相比,降低了功耗,提高了数据速率且增强了定时精度.但每个芯片需要为 SPI 四路信号分别提供四路隔离通道,同时配置四个变压器或四对电容,且需两路电源供电,成本较高.因此从系统架构设计的角度来看,尽可能减少需要隔离的信号通道数,减少高绝缘等级器件的使用,降低成本和功耗,是设计的主要方向.

针对以上两种隔离方案的不足,本文提出一种基于双绞线传输的电感耦合型 SPI 总线隔离方案并设计了一款芯片.该芯片利用电感耦合技术,采用双绞线作为传输介质,将四线 SPI 信号编码成适用于单根双绞线传输的差分信号,省去了四路隔离通道的设计,有效去除了共模干扰和共模噪声,实现了主控器和远程受控器之间的数字式隔离通讯,保证了信号在恶劣的电气噪声环境中传输的安全性和可靠性,有一定的工程应用价值.

## 1 设计思路

### 1.1 隔离方式选择

电路隔离是将输入和输出两端在物理层隔开,两端之间没有直接的线路,一般采用耦合的方式实现信号和功率的传输.常用的电路隔离方式有三种:光耦合、电容耦合、电感耦合.光耦合被广泛应用于工业网络,体积小、抗干扰能力强<sup>[4]</sup>,但功耗大且不适用于全双工或半双工的通讯系统.电容耦合是在隔离层上采用一个不断变化的电场来传输信息,成本低,但采用双绞线传输时,信号强度随电缆长度的延伸而衰减,传输距离较短,且不能提供共模抑制.电感耦合根据变压器原理,通过电感之间的电磁感应来传输信号<sup>[5]</sup>,不仅能提供电气隔离,对共模噪声也有较好的抑制效果,能适应 10 m 以上的传输距离.基于以上分析,为了实现 SPI 总线全双工、长距离、高可靠通讯,芯片采用电感耦合的方式进行隔离.

### 1.2 隔离方案确定

为有效滤除和隔离干扰源,防止干扰信号形成串扰,理想的方法是将使用 SPI 总线通信的主设备和外部设备隔离,使两者之间无电信号联系.本文采用如图 1 所示的通信方案,发送端芯片(CHIP1)与一个微控制器或其他 SPI 主设备配对使用,该芯片对逻辑状态进行编码,并跨越一个隔离势垒将信号传送至另一个芯片(CHIP2).接收端芯片对获得的信号进行解码并把总线驱动至适当的逻辑状态,其中隔离势垒利用一个简单的脉冲变压器进行桥接,以实现几百伏的电压隔离.

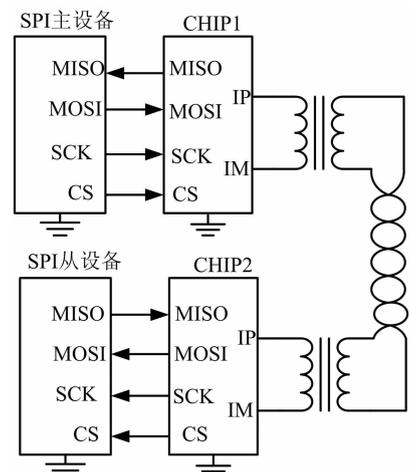


图 1 SPI 总线隔离方案  
Fig. 1 Isolation scheme of SPI

## 2 芯片的设计与实现

### 2.1 芯片的整体架构

芯片架构如图 2 所示,主体模块包括:编解码模块(Encode、Decode),逻辑控制模块(Digital Controller),脉冲驱动器模块(Transmitter、Receiver),检测电路和时钟模块(Oscillator、PLL、CDR)。

芯片通过 Encode 模块把标准的 SPI 信号编码为可通过单根双绞线传输的差分信号,同时通过 Decode 模块把差分双绞线信号解码为 SPI 信号。发送器 Transmitter 采用电流调节型差分驱动器结构,接收器 Receiver 设计为一个具有一定差分门限的窗口比较器。无通信期间,芯片将进入低功耗待机状态,通过关断部分电路以降低功耗。检测电路监测来自隔离通讯接口的差分信号,当在接口引脚 IP-IM 上观测到一个持续时间大于 240 ns、信号幅值超过 240 mV 的差分信号时,检测电路会发送唤醒信号,把整个芯片从待机状态中唤醒。为了能够准确接收数据,芯片内部集成了全数字时钟恢复电路(all-digital clock and data recovery circuit, CDR),利用 CDR 从同步信号中恢复出时钟用于解码。

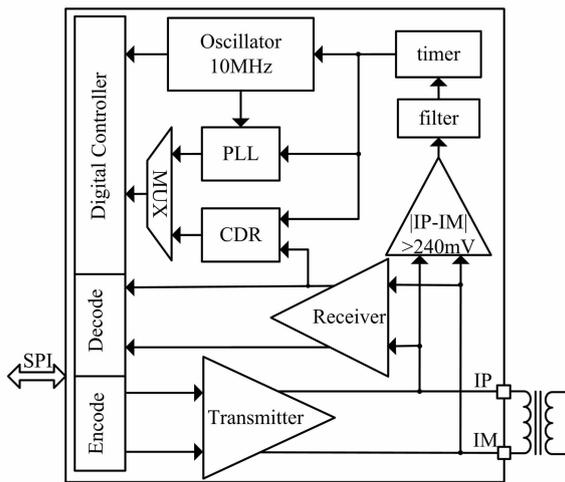


图 2 芯片整体架构图  
Fig.2 Block diagram of chip

### 2.2 主要模块设计

#### 2.2.1 编解码模块

SPI 总线是由摩托罗拉公司开发的全双工同步串行总线,可连接 1 个主设备和 1 个或多个从设备,主设备启动一个与从设备的同步通信,从而完成数据的交换<sup>[6]</sup>。SPI 通信采用单独的四根信号线(CS、SCK、MOSI、MISO)来传送数据及同步时钟。其中

CS 表示片选信号,用于选择并激活从设备,由 SPI 主设备驱动输出。SCK 表示同步时钟信号,用来同步主从设备的数据传输。MOSI 为数据输入信号, MISO 为数据输出信号。由引言可知,常见的 SPI 总线隔离方案中,无论是传统的光耦合隔离器件还是 ADI 公司推出的 ADuM 系列器件都需要为每一路 SPI 信号单独设计一路隔离通道,复杂度高,成本较高。本文采用“平衡”双线(两条线都不接地)技术,通过脉冲的宽度、极性和时序对 SPI 信号的不同状态进行编码,将四路 SPI 信号编码成对称的信号用双线发送,这样当存在共模干扰时,由于平衡传输的两个端子上受到的干扰信号数值相差不多且极性相反,干扰信号在平衡传输的负载上可以相互抵消,提高了抗共模干扰的能力,同时无需单独设计四路隔离通道,简化了电路的复杂性,节约了成本。

数据传输的方式有很多种,光耦合器通过 LED 的点亮与熄灭表示逻辑电平的高低,ADI 的数字隔离器通过将信号上升沿和下降沿编码为双脉冲和单脉冲来驱动变压器<sup>[7]</sup>。本文结合双绞线传输差分信号的特点,给出了一种改进的编解码方案。由于变压器不能传输直流信号和低频信号,可以将信号编码成脉冲形式,而且脉冲宽度越短,功耗越低<sup>[8]</sup>。基于以上分析,芯片将有效信号定义为对称的脉冲对,同时芯片中发送器可产生三种电压电平:  $+V_A$ 、 $0\text{ V}$ 、 $-V_A$  ( $V_A$  为模拟驱动的差分信号幅度),其中一个  $+1$  脉冲对定义为一个  $+V_A$  脉冲和一个跟随其后的  $-V_A$  脉冲,一个  $-1$  脉冲对定义为一个  $-V_A$  脉冲和一个跟随其后的  $+V_A$  脉冲。为了丰富信号类型,定义电平长度为 300 ns (150 ns + 150 ns) 的脉冲对为长脉冲,电平长度 100 ns (50 ns + 50 ns) 的脉冲对为短脉冲。通过脉冲宽度和极性的不同组合,产生四种有效信号形式。其中长脉冲用于发送 CS 信号,短脉冲用于发送数据 MOSI/MISO 以及相应的 SCK 下降沿信号,且该芯片可检测源于 SPI 主控器的 5 种通信事件,具体如表 1 所示。同时接收端按表 2 的对应规则在其输出端口上重构 SPI 信号,具体的通信时序图如图 3 所示。

表 1 主控端事件与对应的脉冲对

Tab.1 Master communication events and SPI pulse type

主控端事件	发送脉冲类型	第一种电平	第二种电平	结束电平/V
CS 上升	长+1	$+V_A$ (150 ns)	$-V_A$ (150 ns)	0
CS 下降	长-1	$-V_A$ (150 ns)	$+V_A$ (150 ns)	0
SCK 锁存 MOSI=1	短+1	$+V_A$ (50 ns)	$-V_A$ (50 ns)	0
SCK 锁存 MOSI=-1	短-1	$-V_A$ (50 ns)	$+V_A$ (50 ns)	0
SCK 非锁存沿	短-1	$-V_A$ (50 ns)	$+V_A$ (50 ns)	0

表2 从接收端接收的脉冲与对应动作  
Tab.2 Receiver's pulse and corresponding action

接收脉冲	SPI 端口动作	返回脉冲
长+1	驱动 CS 至高电平	无
长-1	驱动 CS 至低电平	无
短+1	1) 设定 MOSI = 1 2) SCK 驱动至高电平	无
短-1	接收时 SCK 低电平: 1) 设定 MOSI = 0 2) SCK 驱动至高电平	无
	接收时 SCK 高电平: SCK 驱动至低电平	若 MISO=0, 返回短-1 脉冲 若 MISO=1, 无返回脉冲

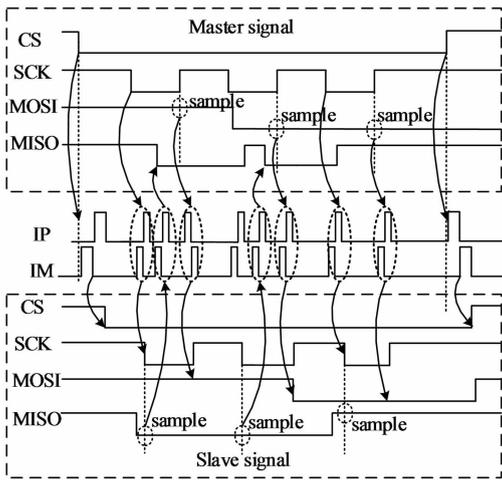


图3 SPI编解码示意图  
Fig.3 Schematic diagram of SPI encoding and decoding

2.2.2 脉冲驱动器模块

IP 和 IM 引脚负责发送和接收 SPI 脉冲。发送器采用一个电流调节型驱动器以确立脉冲幅度,如图4所示。电压幅度由驱动电流  $I_B$  和等效阻性负载(电缆特征阻抗和终端电阻器  $R_M$ ) 决定。输出驱动器把输出端 IP 和 IM 的共模和峰值摆幅调节至正确的电平,从而可提供宽广的输出幅度范围和相当平坦的增益。当不执行发送操作时,输出分压器利用一对 35 kΩ 电阻将 IP 和 IM 保持在靠近片内电压源。这个弱偏置网络可把输出保持在期望工作点的附近而不会给电缆施加很大的负载,从而能够在不影响信号幅度的情况下并联多个隔离芯片。

2.2.3 时钟模块

芯片的时钟模块包括主晶体振荡器、PLL 环路和 CDR 等。10 MHz 的主晶体振荡器用来提供系统时钟,同时为 PLL 提供低频的参考时钟来产生高频的内部时钟信号,既可以减少系统中的电磁干扰,又

可以降低增设额外振荡器的成本开销。同时在隔离通讯中,由于传输介质的限制,很难给接收端提供额外的参考时钟,为了使发送端芯片和接收端芯片实现时钟频率、相位的统一协调,即实现时钟同步,芯片采用 CDR 来保证数据传输的可靠性。CDR 整体架构如图5所示,主要由双模式鉴频鉴相器(dual-mode phase and frequency detector, PFD)、基于二进制搜索算法(Binary search)的数字状态机(Machine)和数控振荡器(digitally-controlled oscillator, DCO)以及分频器(Divider)组成。

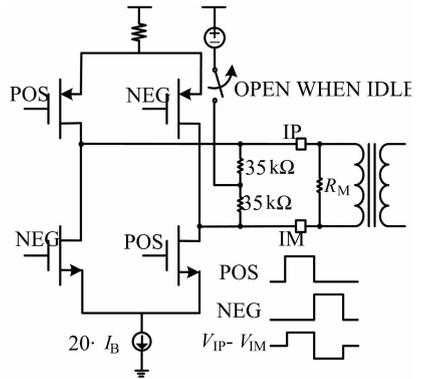


图4 脉冲驱动器  
Fig.4 Pulse driver

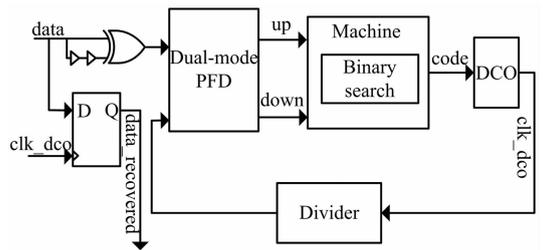


图5 CDR整体架构图  
Fig.5 Block diagram of CDR

本设计在参考文献[9]的基础上采用一款符合需求的双模式鉴频鉴相器,如图6所示。同步时钟信号到来时,PFD 采用二进制鉴频鉴相器(bang-bang phase and frequency detector, bang-bang PFD)进行鉴频,在每个时钟沿对信号(data)和振荡器输出(clk\_dco)进行比较,将输入的相位信息量化为一比特二元相位信号。为实现定相器的准确采样,提高精度,避免触发器进入亚稳态,将 PFD 的输出通过时间放大器(Time Amplifier)充分放大。当输入相位误差较小时,即电路完成频率锁定后,PFD 切换到亚历山大鉴相器(Alexander phase detector, Alexander PD)进行鉴相,采用 en 进行模式选择。

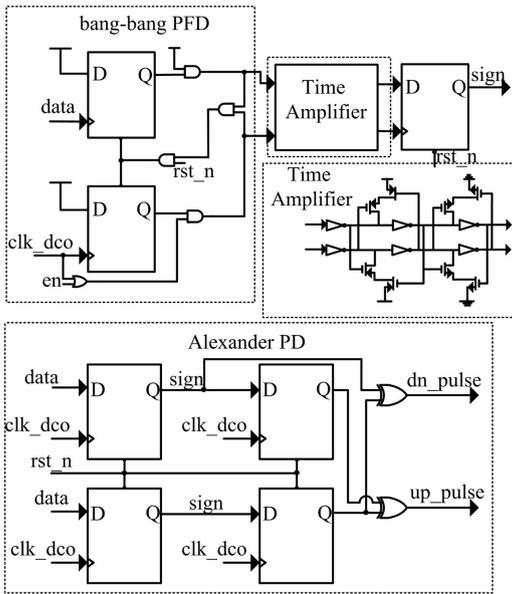


图 6 双模式鉴频鉴相器结构  
Fig. 6 Structure of Dual-mode PFD

数字状态机是时钟数据恢复电路的控制单元,它根据 PFD 输出的相位情况调节 DCO 的控制字.为加快锁定进程,采用一种改进的二进制快速搜索算法.文献[10]中提出的二进制搜索算法采用计数器结构,计若干周期后检测相位情况,根据频率控制字调整步长.本文取消了计数器结构,如图 7 所示.在每个时钟周期根据相位信息调整控制字,当相位极性发生变化时,频率控制字取当前值( $f_{cw}$ )和上一次相位极性发生变化时记录的控制字( $f_{cw\_p}$ )的平均值,以此快速地向目标值逼近.与文献[10]中的搜索算法相比,结构简单,且每次控制字调整都发生在相位极性变化时刻,初始相位误差基本为零.

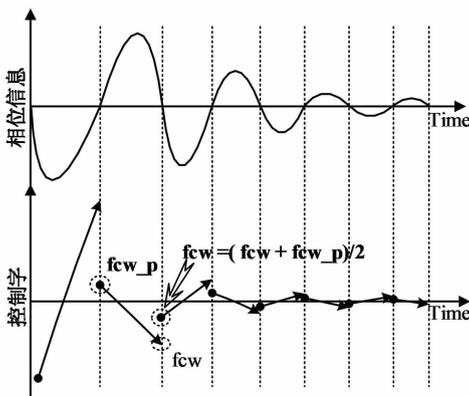


图 7 二进制搜索示意图  
Fig. 7 Schematic diagram of Binary searching algorithm

程度等,功耗占到 CDR 电路的 50% 以上<sup>[11]</sup>,是 CDR 中最重要的模块之一.芯片采用粗调与精调相结合的三级数控环形振荡器,粗调级采用双路输出的路径选择型结构<sup>[12]</sup>,两级精调级采用多级插值电路结构<sup>[13]</sup>,通过级联结构兼顾工作范围和频率分辨率.

对 CDR 进行仿真验证,得到该 CDR 锁定频率范围为 18 MHz~80 MHz,可在 10  $\mu$ s 左右完成频率锁定,且在接收随机数据信号时,输出峰峰抖动为 137.13 ps,RMS 抖动为 32.29 ps,显示出良好的抖动抑制效果,供电电压下整体功耗为 1.279 mW@40 MHz.

### 3 测试结果与分析

芯片采用 GSMC 0.18  $\mu$ m CMOS 标准工艺实现,整体面积为 1.33 mm $\times$ 1.45 mm,照片和测试板如图 8 所示.为了获得最佳的电磁兼容性,测试芯片使用了带中心抽头和共模扼流圈的变压器(采用 Halo 制造商生产的 TG110-AE050N5LF),变压器中心抽头采用一个 27 pF 电容器进行旁路,有助于衰减共模信号,并将变压器布设在靠近 SPI 电缆连接器的地方.考虑到变压器漏抗和双绞线线缆会对信号幅度造成衰减,该芯片将驱动电流  $I_B$  和接收器的比较门限电压都设计为可调的,当通信距离较长时,应增加驱动电流,则 IP、IM 两端的脉冲幅度会相应地增加.同时,采用的 TG110-AE050N5LF 型变压器具有 350  $\mu$ H 的磁化电感和 1:1 的匝数比,可以保证最大限度地减少变压器的插入损耗,从而减弱对信号的影响.测试系统如图 9 示:Altera Stratix IIIFPGA 开发板产生标准 SPI 信号加载到一号主端芯片的接收端,经双绞线传输给二号从端芯片,二号芯片将解码输出的 SPI 信号又传回至 FPGA 中,与发送的 SPI 信号进行误码检测,并将误码个数在 PC 上显示出来.

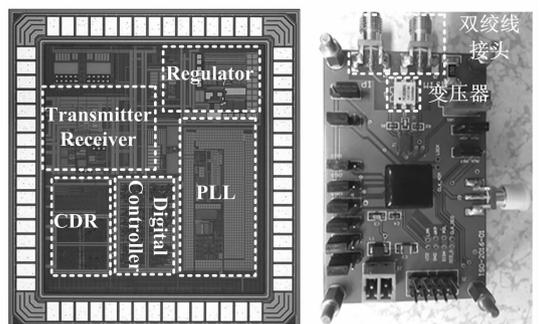


图 8 芯片照片和测试板  
Fig. 8 Die photograph and test board of chip

DCO 性能直接决定了 CDR 的输出范围、抖动

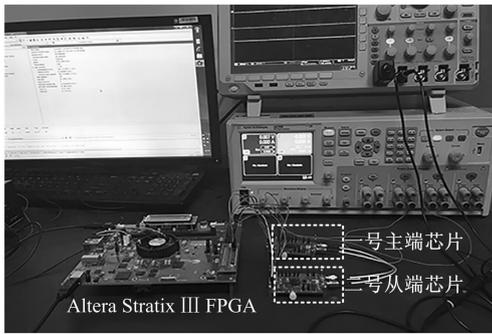


图9 芯片测试系统  
Fig. 9 Test system

图10为主从通讯芯片在SCK速率为1 Mbps、双绞线长度为1 m时的测试波形. 图中A、B分别表示主端CS下降沿、CS上升沿编码为IP/IM上的长-1脉冲、长+1脉冲, 经双绞线传输到达从端芯片并解码为从端CS下降沿和CS上升沿; C表示主端SCK上升沿采样MOSI信息并编码为IP/IM上的短-1或短+1脉冲, 从端进行相应的解码; D表示从端SCK下降沿采样MISO信息并反馈回主端芯片, 从而实现SPI的全双工通讯. 经过测试, 整个环路的误码率可达 $10^{-9}$ , 并且符合表1和表2的设计指标.

继续增加双绞线的长度进行测试, 在保证误码率小于 $10^{-9}$ 的情况下, SPI通信速率与双绞线长度的关系如图11示. 在通信速率为1 Mbps下, 双绞线最长可达10 m; 随着电缆长度增加, 通信速率下降, 支持的最大电缆长度可达50 m.

表3给出了本设计与常见的SPI总线隔离方法的对比. 其显著特点是摒弃传统SPI总线隔离方案, 采用一种改进的编解码方案将四路SPI信号编码成

两路差分信号, 无需四路隔离通道, 无需外配四个隔离器件, 简化了电路设计, 降低了成本, 同时采用双绞线传输差分脉冲, 提高了抗干扰的能力.

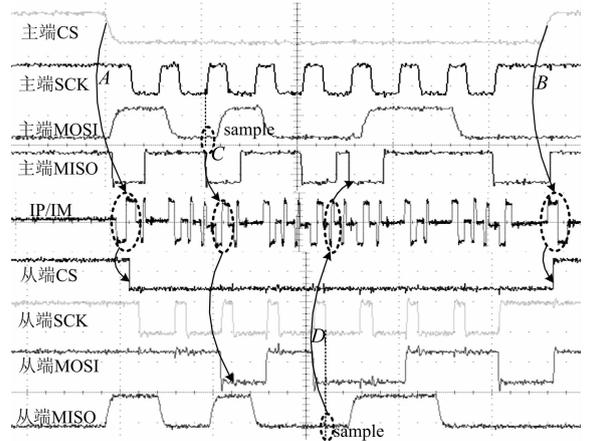


图10 SPI通信的示波器测试波形  
Fig. 10 Testing waveform of SPI

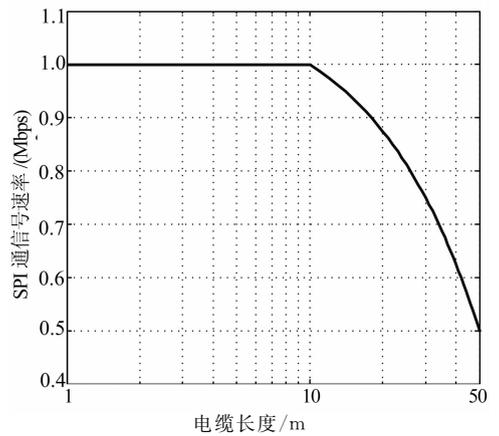


图11 通信速率与双绞线长度关系曲线图  
Fig. 11 Data rate vs cable length

表3 SPI总线隔离方法总结与比较

Tab. 3 Summary and comparison of the SPI isolation

隔离器件	隔离类型	隔离通道	编解码方案
光耦合器件	光电耦合	每个芯片仅提供一个隔离通道, 需外配四个光耦器件	LED灯状态
数字隔离器(ADuM)	电感耦合或电容耦合	每个芯片提供四个隔离通道, 需配四个变压器或四对电容	双/单脉冲
本设计	电感耦合	四路SPI信号编码为两路差分信号(双绞线传输), 仅需一对变压器	差分脉冲对

## 4 结论

为实现SPI总线隔离, 研究了现有的两种隔离方案的特点, 在电感耦合理论基础上采用了一种基于变压器耦合传输的隔离方案并设计了一款芯片.

芯片采用单根双绞线作为传输介质, 通过一个小型的低成本变压器实现信号的耦合传输. 测试结果表明, 芯片可实现1 Mbps的通讯速率, 误码率小于 $10^{-9}$ , 支持的最大电缆长度可达50 m, 在5 V的工作电压下, 芯片在正常工作模式下电路功耗为31.92 mW, 无通讯期间, 芯片在低功耗模式下工作电流小

于  $10\ \mu\text{A}$ , 达到预期效果. 该芯片提供了一种实现方式简单且性能稳定的标准 SPI 设备远程通讯方法, 是一种低成本、高可靠和结构优化的远程控制解决方案, 可应用于高可靠性的汽车总线系统中.

## 参考文献

- [1] 林献坤, 李飞燕. 基于 DSP 驱动的光电隔离型 SPI 通道设计[J]. 测控技术, 2015, 34(9): 138–144.  
LIN X K, LI F Y. Quasi-SPI channel design with optical-electrical isolation based on DSP[J]. Measurement & Control Technology, 2015, 34(9): 138–144. (In Chinese)
- [2] 马忠滨, 侯跃新, 兰晓河. 光电耦合器与具有 SPI 总线的器件在测控系统中的应用[J]. 自动化技术与应用, 2004, 23(6): 55–57.  
MA Z B, HOU Y X, LAN X H. The application of opto-coupler and device with SPI bus in control systems[J]. Techniques of Automation & Applications, 2004, 23(6): 55–57. (In Chinese)
- [3] 曹成昆, 冒晓建, 卓斌, 等. 采用磁隔离器 ADuM5402 的混合动力 CAN 总线设计[J]. 机电一体化, 2013, 19(2): 68–70.  
CAO C K, MAO X J, ZHUO B, *et al.* Hybrid CAN bus design using digital isolator ADuM5402 [J]. Mechatronics, 2013, 19(2): 68–70. (In Chinese)
- [4] 吴福全, 李国华, 代作晓. 光隔离器原理的数学描述[J]. 光电子激光, 1995, 6(3): 153–156.  
WU F Q, LI G H, DAI Z X. Mathematical description about the principle of optical isolator[J]. Journal of Optoelectronic Laser, 1995, 6(3): 153–156. (In Chinese)
- [5] SHENG D, CHUNG C C, LAN J C. A face-to-face chip stacking 7kV RMS digital isolator for automotive and industrial motor drive applications[C]//2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's. Hawaii, America: IEEE, 2014: 442–445.
- [6] WANG X F, ZHANG H, ZHANG L. A daisy-chain SPI interface in a battery voltage monitoring IC for electric vehicles [C]//Solid-State and Integrated Circuit Technology (IC-SICT). Guilin, China: IEEE, 2014: 1–3.
- [7] 郑采军, 肖原. 新型磁耦合隔离电路设计[J]. 电子设计工程, 2011, 19(4): 162–166.  
ZHENG C J, XIAO Y. Design of new magnetic coupling isolating circuit[J]. Electronic Design Engineering, 2011, 19(4): 162–166. (In Chinese)
- [8] 张风体. 基于片上变压器的数字隔离器的分析与设计[D]. 成都: 电子科技大学微电子与固体电子学院, 2014: 7–12.  
ZHANG F T. Digital isolator analysis and design based on on-chip transformer[D]. Chengdu: School of Microelectronics and Solid State Electronics, University of Electronic Science and Technology of China, 2014: 7–12. (In Chinese)
- [9] CHUNG C C, DAI W C. A referenceless all-digital fast frequency acquisition full-rate CDR circuit for USB 2.0 in 65nm CMOS technology [C]// 2011 International Symposium on VLSI Design, Automation and Test (VLSI-DAT). Hsinchu, Taiwan: IEEE, 2011: 1–4.
- [10] HSU H J, HUANG S Y. A low-jitter ADPLL via a suppressive digital filter and an interpolation-based locking scheme[J]. Very Large Scale Integration, 2011, 19(1): 165–170.
- [11] DUNNING J, GARCIA G, LUNDBERD J, *et al.* An all-digital phase-locked loop with 50-cycle lock time suitable for high-performance microprocessors[J]. IEEE Journal of Solid-State Circuits, 1995, 30(4): 412–422.
- [12] SHENG D, LAN J C. A monotonic and low-power digitally controlled oscillator with portability for SoC applications[C]// 2011 IEEE 54th International Midwest Symposium on Circuits and Systems. Seoul, Korea: IEEE, 2011: 1–4.
- [13] SHENG D, CHUNG C C, LAN J C. A monotonic and low-power digitally controlled oscillator using standard cells for SoC applications[C]// 2012 4th Asia Symposium on Quality Electronic Design (ASQED). Penang, Malaysia: IEEE, 2012: 123–127.