

一种近阈值电压标准单元特征化建库方法

胡伟¹, 安文婷¹, 袁甲^{2†}

(1. 湖南大学 物理与微电子科学学院, 湖南 长沙 410082; 2. 中国科学院 微电子研究所, 北京 100029)

摘要:面向近阈值电压下库单元的实际使用情况, 针对传统库文件查找表误差较大的问题, 提出了一种近阈值电压下对标准单元的特征化建库方法。通过对标准单元实际应用情况的分析, 重新界定了查找表的边界; 通过分析电路综合结果与电路仿真结果的相对误差, 重新确定了查找表的规模; 从而提高了近阈值电压下标准单元库准确性。该方法对 smic55nmCMOS 工艺的库文件在 0.6 V 电压下特征化建库, 并进行误差评估, 结果表明, 该方法相较于传统方法建立的库文件, 准确性提高了 16%~63.51%, 减小了查找表误差, 有效提高了库文件的准确性。

关键词:近阈值; 标准单元库; 查找表; 库文件

中图分类号: TN492

文献标志码: A

A Characterization Method for Standard Cell Library at Near-Threshold Voltage

HU Wei¹, AN Wenting¹, YUAN Jia^{2†}

(1. College of Physics and Microelectronics Science, Hunan University, Changsha 410082, China;

2. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: According to the actual application of a standard library cell operating in the near-threshold voltage region, and due to the problem of large error in the lookup table of traditional library files, this paper proposed a method to characterize the standard cell in near-threshold voltage region. The method redefined the boundary of the lookup table by analyzing the actual application of standard cell in near-threshold voltage, and by analyzing the relative error between the circuit synthesis result and circuit simulation result, it re-determined the scale of the lookup table, in order to improve the accuracy of standard cell library in near-threshold voltage region. This method was then used to characterize the smic55nmCMOS process library file in 0.6 V voltage and evaluate the relative error, and the results show that when compared with the library file established by traditional characterize method, the proposed method improved the library file's accuracy by 16%~63.51%, reduced the error of lookup table, and effectively improved the accuracy of library file.

Key words: near-threshold; standard cell library; look-up table; liberty file

* 收稿日期: 2018-05-04

基金项目: 国家自然科学基金资助项目(61306039), National Natural Science Foundation of China(61306039); 湖南省自然科学基金资助项目(2016jj2028), Natural Science Foundation of Hunan Province(2016jj2028)

作者简介: 胡伟(1979—), 男, 湖南常德人, 湖南大学副教授, 博士

† 通讯联系人, E-mail: yuanjia@ime.ac.cn

近些年,无线传感节点、医疗电子、RFID 极低功耗(纳瓦级功耗)技术逐渐兴起,具有广阔的市场前景^[1],然而常规的低电压(0.8~1.2 V)技术,不能达到这些极低功耗设备的功耗指标要求,需要进一步降低电路的供电电压,即电路工作在近阈值(0.5~0.6 V)附近.近阈值技术是数字电路近阈值电压实现的关键,是实现系统极低功耗的必然途径.然而近阈值电压下,标准单元的输入到输出延时、上升下降延时呈指数值变大,给近阈值数字电路设计带来严峻挑战.在近阈值数字电路设计流程中,标准单元库把设计实现的硬件语言翻译成门级网表,是电路逻辑综合的基础,而库信息的准确性决定了时序分析的准确程度,是数字电路功能正确的保证.然而对近阈值标准单元,用传统特征化方法建立的标准单元库信息与 hspice 仿真结果误差极大,无法通过库信息来准确把握整个电路设计.

为支持近阈值数字电路的设计流程,本文提出了一种近阈值电压下标准单元的特征化方法:通过对库单元实际使用时可能的负载与上升下降延时情况的分析,确定标准单元库查找表的边界;用相对误差统计的方法,确定标准单元库查找表规模;从而得到与正常电压下商用标准单元库精度相当的近阈值电压下标准单元库.

本文首先分析了商用标准单元库的非线性模型及不同电压下标准单元的延时变化情况,确定了提高库信息准确性的改进方法,并采用该方法对 0.6 V smic55nmCMOS 工艺的标准单元进行特征化建库;最后采用反相器链路、ISCAS'85 基准测试电路 C17、ISCAS'89 基准测试电路 S27,分别进行 hspice 仿真和基于所建库文件进行 DC 综合,验证该标准单元特征化方法的建库准确性.

1 时序库的非线性模型

标准单元库主要包含单元的功能、延时、功耗和面积等信息,用于提供给综合工具进行电路的综合.标准单元的时序、功耗信息一般采用非线性模型、以二维查找表的形式记录在库文件中^[2],如表 1 所示,横坐标为 input_transition,即标准单元输入延时的情况;纵坐标为 load_capacitance,即标准单元负载电容情况.min_transition、max_transition、max_capacitance、min_capacitance 决定了查找表的范围,它们与查找表的横坐标、纵坐标值共同决定了库信息的准确性.在实际应用中,若是查找表中的点,可以直接查表得到,否则,按照非线性模型的计算方式,以双线性插值的计算方法近似得到.

表 1 非线性模型二维查找表格式

Tab.1 Format of two-dimension table in NLDM

Cell_fall delay/ns	Load capacitance/pF							
	0.000 5	0.002 26	0.008 45	0.020 28	0.038 71	0.064 57	0.098 60	
0.01	0.015 73	0.030 40	0.080 82	0.176 56	0.326 03	0.535 06	0.810 27	
0.040 04	0.286 16	0.043 607	0.093 892	0.189 58	0.339 06	0.547 59	0.824 24	
0.145 9	0.058 86	0.086 10	0.140 94	0.236 5	0.395 43	0.594 55	0.869 84	
Input transition/ns	0.346 86	0.098 115	0.142 67	0.226 79	0.327 3	0.475 45	0.684 04	0.958 45
0.660 58	0.1420 7	0.208 93	0.329 12	0.464 43	0.618	0.830 17	1.100 3	
1.100 8	0.1884 9	0.282 16	0.446 99	0.625 6	0.813 87	1.025 7	1.301 9	
1.68	0.237 56	0.360 79	0.574 22	0.802 39	1.04	1.2841	1.560 8	

为保证数字电路时序分析的准确性,对库文件中记录时序和功耗信息的查找表有较高的要求:1)要覆盖所有可能的输入延时、负载电容情况;2)横坐标、纵坐标选值要适中,过多会造成库文件太大,增加后续综合、时序分析的负担;过少会造成查找

表的数据少,线性插值计算的误差较大,结果不精确.

近阈值电压是指电路工作电压接近或等于晶体管阈值电压,近阈值电压下的电路功耗极低,具有高能效的特点^[3].然而在近阈值电压下,标准单元对工艺偏差极其敏感,同时驱动能力降低,在相同

负载电容下,标准单元的输入到输出延时、上升下降延时都会迅速增大^[4]。图1给出了标准单元 INVXL 的输入到输出延时(delay)、上升下降延时(transition)随电源电压变化的 hspice 仿真结果,如图1所示。工作电压较高时,单元延时增加缓慢,随着电压的降低,单元延时增加加快,进入亚阈值区域后,单元的延时呈指数关系增加^[5]。因此,对近阈值电压下标准单元特征化建库时,若沿用正常电压下的查找表边界及规模,将引起库信息的严重不准确。

为支持近阈值数字电路的整体设计,得到近阈值电压下准确的标准单元时序、功耗信息,必须采用新的方法重新确定查找表的边界和规模。

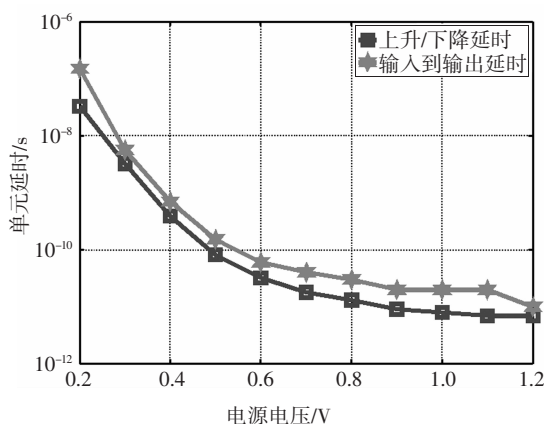


图1 INVXL的输入到输出延时(delay)、上升下降延时(transition)随电源电压的变化关系

Fig.1 Delay and transition of INVXL with the change of power supply

2 查找表边界及规模的确定

2.1 查找表边界的确定

查找表边界的确定包括 min_transition、max_transition、max_capacitance、min_capacitance 的确定,标准单元负载电容受电压变化的影响较小,可采用常规方法确定^[6]。

为覆盖实际电路中可能出现的所有情况,可认为标准单元的最小负载电容即为最小栅电容;因此遍历所有标准单元每个输入端口的栅电容,取其中的最小值作为最小负载电容。最大负载电容则取15倍最小负载电容或4倍最大输入电容的较大者^[7]。通过遍历库单元的栅电容,得到最大和最小栅电容、最大和最小负载电容,从而确定二维查找表负载电容的边界。

通过对电路的实际使用情况分析,为覆盖近阈

值电压下标准单元所有可能输入延时,下面提出一种确定输入延时范围的方法。

min_transition 的确定:库单元使用过程中,当驱动能力最强的单元驱动最小负载时,上升下降延时最小;按以上原则用较为理想的测试激励对标准单元建立 hspice 仿真模型,遍历所有工作模式,选择其中最小上升下降延时值作为 min_transition。

max_transition 的确定:库单元使用过程中,当驱动能力最弱的单元驱动最大负载时,上升下降延时最大,但库单元输出延时受输入延时影响较大,因此确定 max_transition 时,要综合输入延时与输出延时的关系进行分析。图2所示为标准单元 INVXL 的 output_transition 随 input_transition 的变化关系,从图中可以看出, output_transition 随 input_transition 的增加而增加,但 output_transition 增速较慢。

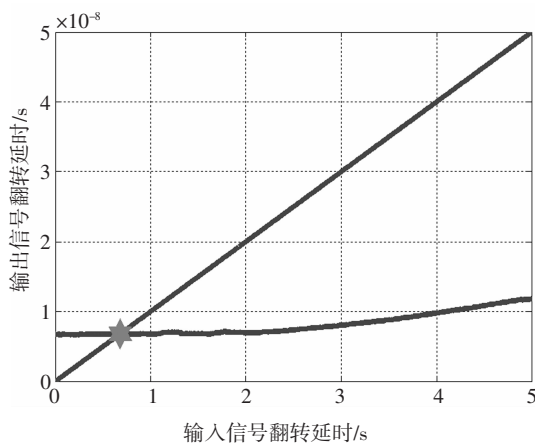


图2 INVXL的输出信号翻转延时随输入信号翻转延时的变化关系

Fig.2 Output_transition of INVXL with the change of input_transition

通过以上分析,在前级驱动单元驱动能力最弱而负载电容最大的前提下,可通过找出每个标准单元 input_transition 与 output_transition 相等的点,作为备用的 max_transition,再在这些备用的 max_transition 点中,将其中的最大值作为这套标准单元库的 max_transition。这样可确保这套标准单元库中的任意单元,当输入延时小于 max_transition 时,其输出延时必然小于等于 max_transition。同时,对于整个电路而言,其前级单元的输出延时即为后级单元的输入延时,则后级单元输出延时也必然小于 max_transition,保证了选出的 max_transition 能覆盖整个电路可能的延时情况。

2.2 查找表规模的确定

Foundry 提供的商用标准单元库二维查找表索引值基本满足对数坐标取值方案,这种方案在横纵坐标较小的范围内,取值较多,在横坐标、纵坐标较大范围内,取值较少.因此在用 NLDM 模型确定查找表中没有的点时,在横坐标、纵坐标较小的区域,误差较小,在横坐标、纵坐标较大的区域,误差较大.在实际电路中,库单元负载电容、输入延时都较小时,使用频率较高;库单元负载电容、输入延时都较大时,使用频率较低;因此,采用对数坐标取值方案能够有效地降低 NLDM 模型的整体误差,对近阈值电压下库单元的特征化建库,依然采用对数坐标取值方案.

正常电压下的商用标准单元库,7×7 查找表规模保证了查找表具有合适的精度.但近阈值电压下仍然采用 7×7 的查找表规模,将引起标准单元库信息的严重不准确.为获得准确的标准单元库信息,提出近阈值电压下确定查找表规模的方法:以正常电压下商用标准单元库 7×7 查找表的相对误差为标准,通过对近阈值电压下不同规模查找表进行误差分析,确定近阈值电压下恰当的查找表规模.

为获得正常电压下 7×7 查找表的相对误差,统计大量设计中标准单元 input_transition、load_capacitance 使用情况,并以该统计结果为标准,在确定的查找表边界及规模下插入等比例的点,并按照查找表 NLDM 模型计算方式、hspice 仿真方式分别计算这些 input_transition、load_capacitance 下标准单元的延时信息^[8],并进行误差统计,从而得到正常电压下查找表的相对误差.图 3 所示为在正常电压下查找表 1 000 个点的相对误差统计结果.

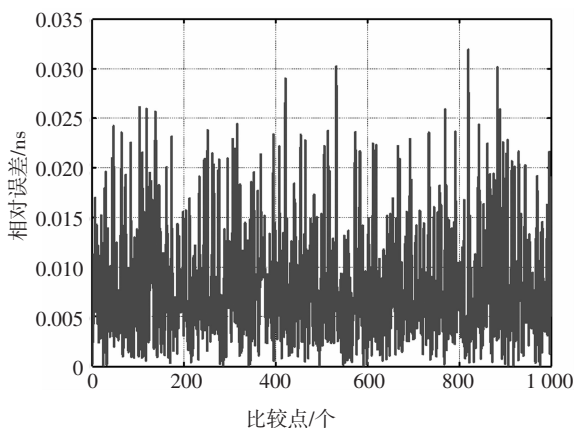


图 3 正常电压下 7×7 查找表相对误差

Fig.3 Relative error of 7×7 LUT in normal voltage

以上述相对误差统计结果,作为近阈值电压下标准单元库特征化时,扩展查找表规模的依据,使近阈值电压下的标准单元库达到同样的相对误差标准.在近阈值电压下,扩展查找表规模,产生不同规模的库文件,并统计不同查找表规模下,对应产生的查找表数据与 hspice 仿真数据之间的相对误差,分析这种相对误差随着查找表规模的变化关系,从而确定恰当的查找表规模.

标准单元库是逻辑综合、时序分析的基础,标准单元库准确程度越高,对电路进行时序分析时,越接近电路实际工作情况,时序分析结果对后续电路设计流程才有参考意义.而分析电路实际工作情况可知,库单元在 input_transition、load_capacitance 较小时,使用频率高;在 input_transition、load_capacitance 都较大时,库单元工作在最差情况,通过电路优化如在前后级增加缓冲器、换用驱动能力更强的单元,改善负载电容与输入延时条件,基本可以使实际电路中库单元不工作在最差情况;另外在查找表的对数坐标取值方案中,横坐标、纵坐标较大的部分误差较大.因此为保证库单元在查找表中使用的频率较高部分的精度较高,而允许查找表中库单元使用的最差情况精度较低,是较为合理的,这也是商用标准单元库采用对数坐标取值的初衷.所以不采用库单元使用的最差工作情况(使用频率低、查找表误差较大的部分)来评估不同规模下查找表数据的误差,对电路的实际工作情况缺乏指导意义;而采用“相对误差总和”来评估不同规模下查找表数据的误差,兼顾了库单元的使用频率与库单元使用的最差情况.图 4 所示为 0.6 V 电压下,查找表相对误差总和随查找表规模的变化关系.随着查找表规模的增大,相对误差总和逐渐减小,表明查找表规模越大,产生的库信息越准确.虚线表示正常电压下 7×7 查找表对应的相对误差总和.从图中可以看出,在 0.6 V 电压下,当查找表规模扩展为 20×20 左右时,其相对误差基本达到正常电压下商用标准单元查找表的相对误差标准.图 5 进一步给出了 20×20 查找表规模下的相对误差统计结果.

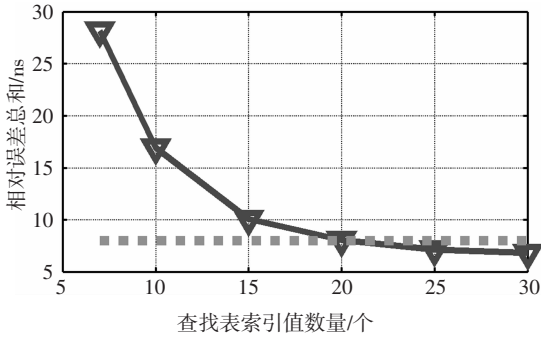


图 4 相对误差随查找表规模的变化关系
Fig.4 Relative error with different LUT size

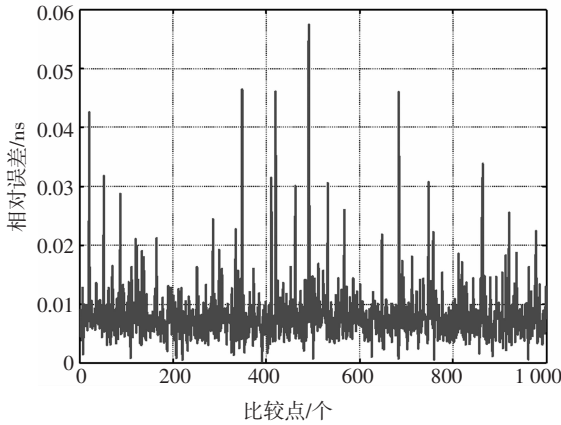


图 5 0.6 V 20×20 查找表相对误差
Fig.5 Relative error of 20×20 LUT in 0.6 v

在上述确定恰当的查找表规模的过程中,同时实现了对所建库的准确性验证,通过在查找表边界内对查找表的精细划分,标准单元延时情况的线性插值的结果逐步逼近 hspice 仿真值,使近阈值电压下的标准单元库达到正常电压下标准单元库的相对误差标准。

采用以上近阈值电压下标准单元库特征化方法,能提供近阈值电压下准确性与商用标准单元库相当的库文件,能有效提高后续时序分析的准确程

度,为近阈值数字电路的设计综合、后端实现提供有力的支持。

3 仿真验证

为进一步验证上述方法的建库准确性,采用反相器链路、ISCAS'85 基准测试电路 C17、ISCAS'89 基准测试电路 S27 分别进行仿真验证,C17 电路包含常用组合逻辑单元:反相器、与非门、或非门;S27 电路包含常用时序及组合逻辑单元:触发器、反相器、与非门、或非门、或门.对上述 3 个电路的仿真验证能反映上述方法对常用标准单元库的建库准确性.如图 6 所示反相器链路,改变并联反相器个数 n ,可以得到不同负载电容情况下上述建库方法的误差减小幅度;C17、S27 电路分别对其关键路径进行验证,可以得到上述建库方法对纯组合逻辑与时序逻辑的误差减小幅度。

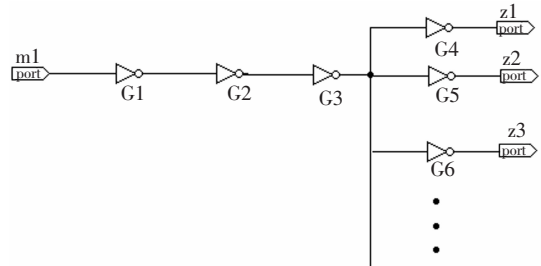


图 6 反相器链路
Fig.6 Schematic of inverter link

对反相器链路、C17 电路、S27 电路分别用 7×7 查找表和 20×20 查找表进行 DC 综合;对反相器链路及 C17、S27 的关键路径进行 hspice 仿真,各数据分别如表 2、表 3 所示.随并联反相器个数 n 的不同,20×20 查找表的路径延时较 7×7 查找表的误差减少 16%~50.3%不等,尤其在负载电容、输入延时

表 2 反相器链路 hspice 仿真与 DC 综合路径延时比较
Tab.2 Inverter chain path delay contrast between DC and hspice

Z1 上升(r) /下降(f)沿	并联反相器 数目 n	Hspice 仿真 /ns	7×7 查找表		20×20 查找表		误差减小幅度/%
			延时/ns	误差	延时/ns	误差	
f	5	3.636	3.722 7	0.080 7	3.568 2	0.067 8	16
r	5	2.985	3.183 3	0.198 3	3.126 2	0.141 2	28.8
f	8	4.854	5.156 2	0.302 2	4.703 9	0.150 1	50.3
r	8	3.859	4.395 1	0.536 1	4.178 9	0.319 9	43.3

表3 C17、S27 关键路径 hspice 仿真与 DC 综合延时比较
Tab3 Inverter chain path delay contrast between DC and hspice

验证电路	Hspice 仿真/ns	7×7 查找表		20×20 查找表		误差减小幅度/%
		延时/ns	误差	延时/ns	误差	
C17	3.195	3.342 4	0.147 0	3.249 0	0.053 6	63.51
S27	14.053	13.470 2	0.582 5	13.800 2	0.252 4	56.66

较大时,库信息的误差减小效果更为明显;C17、S27 关键路径延时,20×20 查找表得到的延时较 7×7 查找表得到的延时,其误差减少 56.66%~63.51%不等;该结果表明,0.6 V smic55nmCMOS 工艺下 20×20 查找表规模的标准单元库具有较高的精度,为后续电路的分析与设计提供了有力的支持。

4 总结

本文面向近阈值电压下标准单元的实际使用情况,研究了近阈值电压下标准单元特征化建库时查找表的确定方法:通过对库单元可能的负载与输入信号翻转延时情况分析,确定标准单元库查找表的边界;用相对误差统计的方法,确定标准单元库查找表的规模.并采用反相器链路、ISCAS'85 基准测试电路 C17、ISCAS'89 基准测试电路 S27 仿真验证了该方法的建库准确性,验证结果表明,该方法建立的 0.6 V smic55nmCMOS 工艺下标准单元库误差减小 16%~63.51%不等,具有较高的精度。

参考文献

[1] WANG A, CALHOUM B H, CHANDRAKASAM A P. Sub-thresh-

old design for ultra low-power systems [M]. Berlin:Springer, 2006:1-3.

- [2] SYNOPSIS. SiliconSmart User's Guide: Version 2013.06 [EB/OL]. <https://solvent.synopsys.com>
- [3] JUN J, SONG J, KIM C. A near-threshold voltage oriented digital cell library for high-energy efficiency and optimized performance in 65nm CMOS process [J]. IEEE Transactions on Circuits and Systems I, 2017, 65(5): 1567-1580.
- [4] WEY I C, LIN P J, WU B C, et al. Near-threshold-voltage circuit design: The design challenges and chances [C]// International SoC Design Conference (ISOCC). Jeju:IEEE, 2014:138-141.
- [5] 袁甲, 张苏敏, 商新超, 等. 一种基于商用标准单元库的极低电压电路设计方法[J]. 微电子学与计算机, 2014, 31(12):6-9.
YUAN J, ZHANG S M, SHANG X C, et al. An ultra voltage technique based on foundry standard cell library [J]. Microelectronics & Computer, 2014, 31(12):6-9. (In Chinese)
- [6] JIANG J H, LIANG M, WANG L, et al. An effective timing characterization method for an accuracy-proved VLSI standard cell library [J]. Journal of Semiconductors, 2014, 35(2): 025005-1-025005-5.
- [7] SYNOPSIS. Library Compiler User's Guide: Version 2016.12 [EB/OL]. <https://solvnetsynopsys.com>
- [8] CHARAFEDDINE K, OUARDI F. Fast timing characterization of cells in standard cell library design based on curve fitting [C]// 2017 International Conference on Wireless Technologies, Embedded and Intelligent Systems (WITS). Fez:IEEE, 2017:1-6.