

基于 GND 采样技术的逐次逼近型模数转换器设计

叶茂^{1,2}, 楚银英^{1,2}, 赵毅强^{1,2†}

(1. 天津大学 微电子学院, 天津 300072;

2. 天津大学 天津市成像与感知微电子技术重点实验室, 天津 300072)

摘要:针对柔性压阻式压力传感器输出信号数字化对功耗和面积的要求,设计了一款低功耗逐次逼近型(SAR)模数转换器(ADC).电路采用了基于GND采样的单调开关切换方案降低DAC开关能耗,并使用了分段电容阵列,在进一步降低切换功耗的同时,还缩减了整体电路的面积开销.此外,电路还设计了两级预放大器来降低动态比较器的噪声和失调,采用动态元件匹配技术(DEM)来提高ADC的线性度.在0.18 μm 1P6M CMOS工艺下实现了该ADC的电路设计和版图绘制,芯片内核面积约630 μm \times 575 μm ,在1.8 V的电源电压下功耗为25.7 μW .流片测试结果显示:SAR ADC在250 kHz的采样率下以11 bit输出时,信噪失真比SNDR为65.0 dB,有效位数ENOB为10.51 bit.

关键词:逐次逼近型模数转换器;GND采样;动态元件匹配

中图分类号:TN432型 **文献标志码:**A

Design of Successive Approximation ADC Based on Ground Sampling Technique

YE Mao^{1,2}, CHU Yinying^{1,2}, ZHAO Yiqiang^{1,2†}

(1. School of Microelectronics, Tianjin University, Tianjin 300072, China;

2. Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, Tianjin University, Tianjin 300072, China)

Abstract: To meet the requirements of power consumption and area for the output signal quantization of the flexible piezoresistive sensor, this paper presents a low-power successive approximation (SAR) analog-to-digital converter (ADC). The monotonic switching method based on the ground sampling technique minimizes DAC switching energy, while a split-capacitor DAC achieves low power in an area efficient manner. In addition, a comparator using a two-stage dynamic preamplifier was proposed to diminish the offset and noise. And dynamic element matching (DEM) techniques are employed to enhance linearity. Circuit design and layout drawing of the proposed SAR ADC were realized in 0.18 μm 1P6M CMOS technology, which occupies an active area of 630 μm \times 575 μm . The SAR ADC consumes 25.7 μW at 1.8 V supply voltage. The measurement results at a sampling rate of 250 kHz show that this 11-bit ADC achieves a signal-to-noise- and-distortion ratio (SNDR) of 65.0 dB and an efficient number of bits (ENOB) of 10.51 bit.

Key words: successive approximation (SAR) analog-to-digital converter (ADC); ground sampling; dynamic element matching (DEM)

* 收稿日期:2022-03-26

基金项目:国家重点研发计划资助项目(2018YFB1304700), National Key R&D Program of China(2018YFB1304700)

作者简介:叶茂(1987—),男,湖南长沙人,天津大学副教授,博士

† 通信联系人, E-mail: yq_zhao@tju.edu.cn

随着仿生机器人和可穿戴电子设备的发展,柔性压力传感器得到了广泛的应用.柔性压力传感器从测量原理上可以分为压阻式、电容式和压电式等不同类型.柔性压阻式压力传感器利用压阻效应将施加在应变片上的压力变化转换为电阻的变化,并通过电桥电路产生与压力相关的输出电压.与其他类型的柔性压力传感器相比,柔性压阻式压力传感器结构简单、灵敏度高、制备流程少、测量电路简单、能耗低^[1],因此成为电子皮肤^[2]、健康监测^[3]等领域的最佳选择.

通常而言,可穿戴电子设备所检测的信号频率较低^[4-5],对于压力传感器的需求主要为高灵敏度和低功耗.而ADC作为柔性压力传感器阵列读出电路的核心模块之一,是连接传感器阵列和后端数字处理电路的重要桥梁,其性能制约着整个传感器系统的功能和精度.所以,应用于电子皮肤、健康监测领域的柔性压阻式压力传感器阵列迫切需要高性能低功耗的ADC.

与其他ADC相比,SAR ADC具有结构简单、功耗低等优点,十分契合电子皮肤或健康监测的应用需求.因此,本文设计了一款低功耗SAR ADC来实现柔性压阻式压力传感器传感信号的数字化,并且通过流片测试对该设计进行了性能测试和可行性

验证.

1 SAR ADC 整体架构

图1为本文所设计的基于GND采样^[6]的SAR ADC整体架构图,ADC主要由采样保持电路、比较器、分段电容阵列以及SAR逻辑控制单元组成.其中,分段电容阵列由一个6位主DAC和6位子DAC组成,两部分由桥接电容 C_b 连接在一起.与传统架构相比,分段电容阵列整体只需130个单位电容(单端)即可实现12位DAC的功能,大大降低了DAC所需单位电容的数目,从而降低了电容阵列的切换功耗和版图面积^[7].DAC的前5bit MSB采用温度计编码,并利用动态元件匹配技术降低电容失配对电路性能的影响.此外,采样开关使用栅压自举的结构来降低采样带来的失真,并且只采用MSB部分进行采样,在MSB部分增加一个单位电容代替LSB部分进行采样.而比较器则采用带有两级预放大器的全差分比较器架构,以实现低失调和噪声.SAR逻辑则使用了自定时同步时序,缓解了对DAC建立时间的要求,并增加了预放大器复位相,以加快预放大器的响应速度.

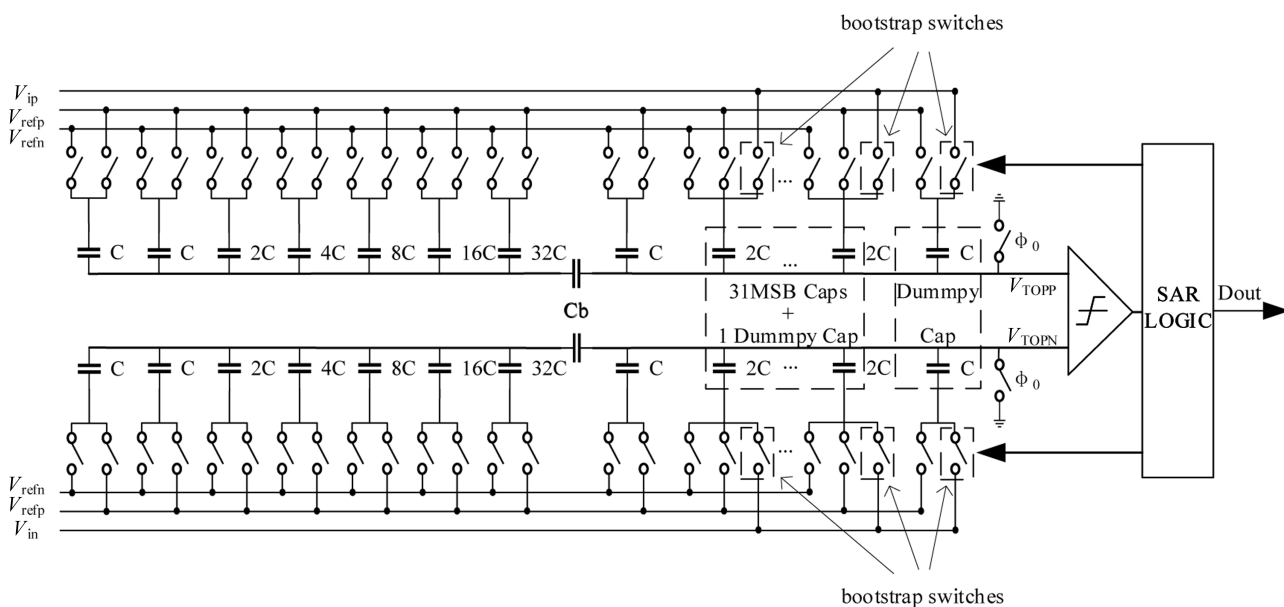


图1 SAR ADC 整体架构

Fig.1 Overall structure of SAR ADC

1.1 基于GND采样的单调开关切换方案

本文所设计的SAR ADC采用了基于GND采样的单调开关切换方案,如图2所示.

传统的单调开关切换方案^[8]是基于上极板采样,考虑上极板对地的寄生电容 C_p , C_p 上极板的电

压在采样阶段时为输入信号,在转换结束后变为GND,因此 C_p 上存储的电荷量在转换阶段发生了改变,这会对ADC的性能造成一定影响.而采用基于GND下极板采样时, C_p 上极板的电压在采样阶段和转换结束后都保持GND不变,因此寄生电容不会给

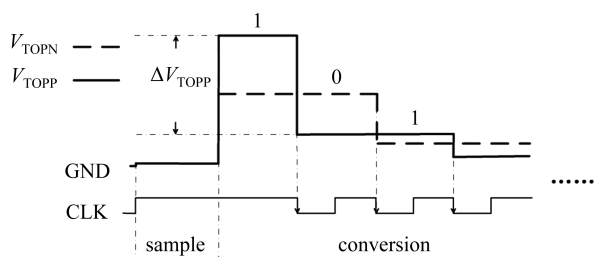


图 2 基于 GND 采样的单调开关切换方案的 DAC 输出
Fig.2 DAC output voltage with ground sampling switching

ADC 造成非线性问题。

本文所设计的 SAR ADC 在采样阶段只有 MSB 部分进行采样,MSB 部分正负两端上极板接 GND,正端(P 端)下极板接输入信号 V_{ip} ,负端(N 端)电容下极板接输入信号 V_{in} ,LSB 部分电容下极板接 V_{refp} . 因此,电容阵列的总电荷为:

$$\begin{cases} Q_p = -V_{ip} \times C_{Mt} - V_{refp} \times C_{Ll} \\ Q_n = -V_{in} \times C_{Mt} - V_{refp} \times C_{Ll} \end{cases} \quad (1)$$

式中, C_{Mt} 为 MSB 部分总电容, C_{Ll} 为 LSB 部分等效总电容。

在采样阶段结束时,上极板开关先断开,所有电容的下极板接 V_{refp} ,有:

$$\begin{cases} Q_p = (V_{TOPP} - V_{refp}) \times C_{Total} \\ Q_n = (V_{TOPN} - V_{refp}) \times C_{Total} \end{cases} \quad (2)$$

式中, $C_{Total} = C_{Mt} + C_{Ll}$, 为 DAC 阵列总电容。

根据电荷守恒:

$$\begin{cases} V_{TOPP} = K \times (V_{refp} - V_{ip}) \\ V_{TOPN} = K \times (V_{refp} - V_{in}) \end{cases} \quad (3)$$

式中, $K = C_{Mt}/C_{Total}$.

以图 2 为例,采样阶段结束后, $V_{TOPP} > V_{TOPN}$, 比较器由 CLK 下降沿触发,开始进行首位的比较, $D_p = 1, D_n = 0$. 因此,P 端最高位电容器下极板电压由 V_{refp}

切换至 V_{refn} ,N 端最高位电容器下极板电压保持 V_{refp} 不变.由电荷守恒可知,

$$\begin{aligned} \Delta V_{TOPP} &= -V_{refp} \times C_{11}/C_{Total} \\ &= -K \times V_{refp} \times C_{11}/C_{Mt} \end{aligned} \quad (4)$$

式中, C_{11} 为首位对应的电容值,大小为 $0.5C_{Mt}$.

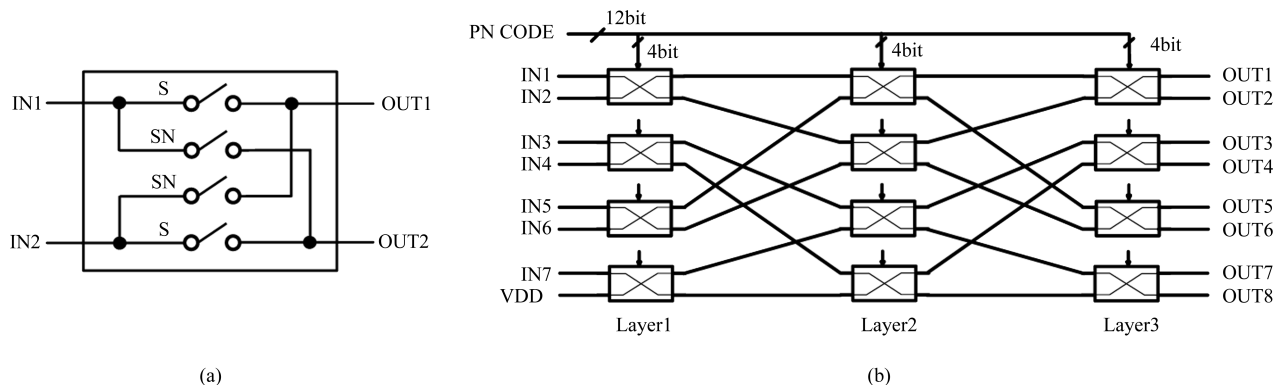
由此可见,虽然采样阶段仅采用了 MSB 部分进行采样,使得采样电压乘以系数 K ,但在逐次逼近阶段,上极板的电压改变量 $0.5V_{refp}$ 也乘以了系数 K ,故不会影响 ADC 的转换结果,但对比较器的最小分辨电压提出了高的要求.随后重复上述步骤,获得 12bit 的量化结果。

本文采用的改进的单调开关切换方案不需要共模电平,大大简化了开关的复杂度,而且在逐次逼近过程中仅存在由高电平向低电平的切换,而不存在由低电平向高电平的切换,因此缩短了电路的切换时间,有利于提高电路的响应速度。

1.2 失配误差校准

分段式 SAR ADC 线性度取决于电容阵列的失配误差,可以通过校准技术进行补偿,然而这种方法会增大设计的难度,消耗大量的硬件成本^[9].此外,ADC 的线性度还可以使用动态元件匹配技术(Dynamic Element Match, DEM)来改善,但是这种方法的控制开销会随着位数的增加而呈指数式上升,因此所适宜的位数不应该太多。

本文采用了由伪随机码控制的动态元件匹配技术^[10],将 5bit MSB 二进制数字码控制的 DAC 阵列拆分成由 32 个温度计码控制的最小单元,然后通过一个蝶形元件选择逻辑(Element Selection Logic, ESL)来对这些最小单元进行随机选择.以 3bit 输入为例,本文采用的基于伪随机码控制的蝶形网络如图 3 所示.通过这种方法,由于电容失配误差而引起的谐波失真将被随机化为白噪声,从而提高了 ADC 的无杂



(a)

(b)

图 3 基于伪随机码的蝶形网络(3bit 为例)

Fig.3 Butterfly network based on pseudorandom code (example of 3-bit butterfly elements)

散动态范围 SFDR, 而无需额外的数字处理电路。

为了验证动态元件匹配技术对电容失配问题有良好的缓解作用, 本文采用 MATLAB 对于所设计的 SAR ADC 建立了行为级模型, 模型量化过程中只引入量化噪声. 取输入频率为采样频率的 $43/(2^{12})$, 电容失配的标准差为 0.5% 时, 有无 DEM 时的输出频谱图如图 4 所示. 使用 DEM 前后的无杂散动态范围

SFDR 分别为 76.9 dB 和 92.6 dB. 可以看出, 当采用 DEM 时, 谐波被打散, ADC 性能得到提升.

本设计中, 用伪随机序列控制最小单元电容, 因此失配噪声将被转换为白噪声, 如果选择其他的控制序列, 例如数据加权平均算法 DWA^[11], 则可以将失配误差进行一阶整形, ADC 的性能也可以得到进一步提升, 但是算法和电路的复杂性将进一步增加.

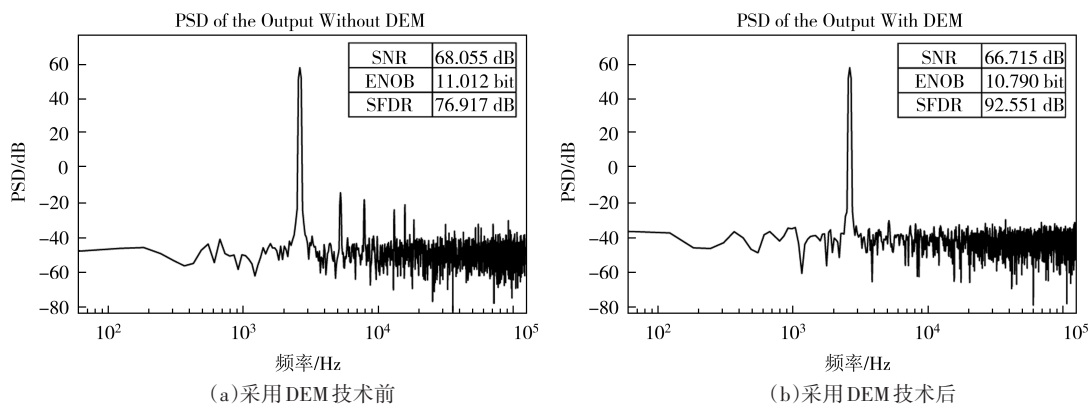


图 4 采用 DEM 技术前后 ADC 输出频谱图

Fig.4 ADC output spectra with DEM on and off

2 具体电路设计

2.1 采样保持电路

采样保持电路是模数转换器设计的重要电路之一, 其精度直接影响着 ADC 的转换精度, 它的速度则决定了整体电路处理信号的速度. 为了解决采样时的非线性问题, 常采用栅压自举开关电路^[12].

本文所采用的栅压自举开关电路结构如图 5 所示, 当 CK 为低电平时, CKN 为高电平, NM0 导通, C_0 的下极板电压放电至 GND. NM5 和 NM6 导通, CK_BOOT 被置于 GND, 因此 PM0 导通, C_0 的上极板电压充电至 V_{DD} , 自举开关 NM2 关断, 电路处于保持阶段; 当 CK 为高电平时, CKN 为低电平, PM1 导通, CK_BOOT 被置于 V_{DD} , NM1 导通, C_0 下极板的电压从 0 变为 V_1 , 由于 C_0 两端电势差保持不变, 所以 C_0 上极板电压会相应提升到 $V_{DD} + V_1$, 从而 NM2 管的栅源电压 V_{GS} 不会随 V_1 的变化而变化, 即导通电阻与 V_1 无关, 因此采样信号不会产生高次谐波失真.

图 6 为本文设计的栅压自举开关在不同阶段下的工作状态仿真图. 从图中可以看出, 当 CK 为高电平时, 电路处于自举阶段 (或采样阶段), CK_BOOT 被抬高为 $V_{DD} + V_1$, V_{OUT} 始终跟随输入信号 V_1 , 此时 CDAC 上极板电压 V_{TOP} 保持为 GND; 当 CK 为低电平时, CK_BOOT 同样也为低电平, CDAC 上极板电压

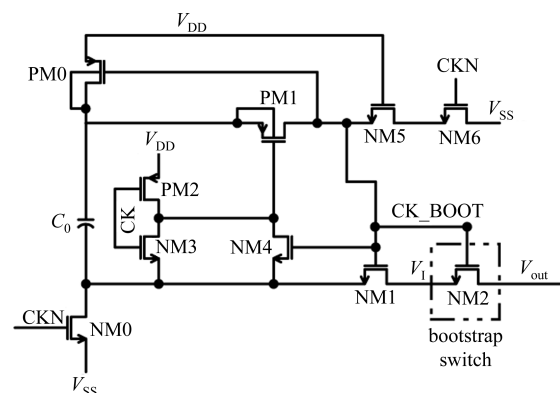


图 5 栅压自举开关

Fig.5 The bootstrapped switch

V_{TOP} 将保持 $K \times (V_{refp} - V_1)$ 不变.

为了验证采样保持电路能否满足 ADC 线性度的要求, 通过输入正弦信号对于采样开关进行功能验证, 对 V_{TOP} 取 4 096 个点进行 FFT 分析, 结果如图 7 所示. 由图可知, 采样保持电路的 SFDR 为 111.76 dB, SNDR 为 104.24 dB, 能够满足 12 bit 架构的 SAR ADC 对于采样保持电路的需求.

2.2 低失调电压比较器

比较器模块是 ADC 电路中关键模块之一, 它的精度和速度直接影响着整个 SAR ADC 的精度和速度. 为了降低比较器的失配所带来的直流失调, 电路采用了全差分设计, 并使用自动校零技术^[13]来消除大部分失调电压. 图 8 是本文所设计的全差分比较器

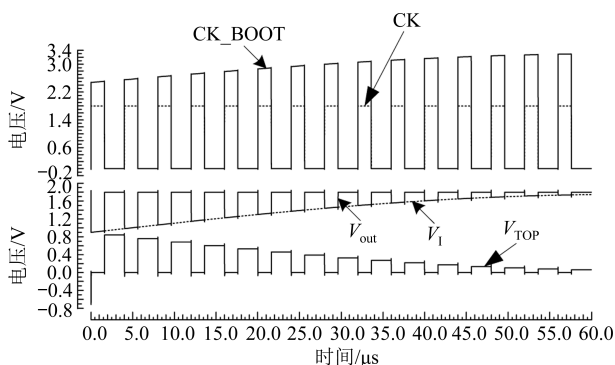


图 6 栅压自举开关波形图

Fig.6 Waveforms of bootstrapped switch

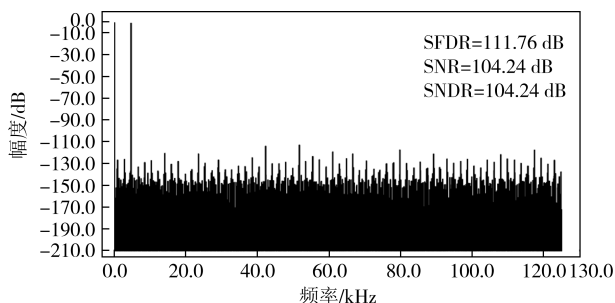


图 7 采样保持电路输出频谱图

Fig.7 S/H circuit output spectra

器电路结构图,它采用二级预放大自动校零技术来消除失调电压.

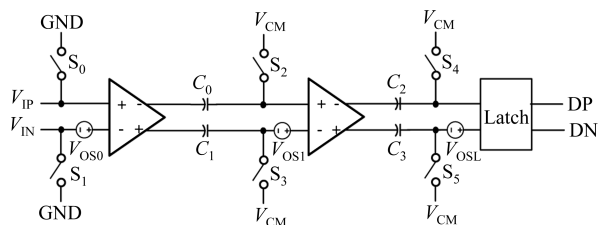


图 8 使用自动校零技术全差分比较器

Fig.8 Differential comparator using auto-zero calibration

在失调电压校准阶段,开关 $S_0 \sim S_5$ 闭合, CDAC 上极板电压 V_{IP} 和 V_{IN} 置为 0, 电容阵列基于 GND 进行采样. 两个预放大器输入端短接, $C_0 \sim C_3$ 的上极板被充电至 V_{CM} , 被预放大器放大后的失调电压被存储在电容 $C_0 \sim C_3$ 上 (大小都为 C). $C_0 \sim C_3$ 电容存储的电荷分别为:

$$\begin{cases} Q_0 = C \times (A_{V1} \times V_{OS0} - V_{CM}) \\ Q_1 = -C \times V_{CM} \\ Q_2 = C \times [A_{V2} \times (V_{CM} + V_{OS1}) - V_{CM}] \\ Q_3 = C \times (A_{V2} \times V_{CM} - V_{CM}) \end{cases} \quad (5)$$

其中, A_V 是预放大器的增益, V_{OS} 为预放大器的输入失调电压.

在比较器工作阶段, 开关 $S_0 \sim S_5$ 断开, 比较器正

常工作. 此时, DAC 上极板由 GND 变为输入信号, 此时 $C_0 \sim C_3$ 电容上的电荷分别为:

$$\begin{cases} Q_0' = C \times [A_{V1} \times (V_{IN} + V_{OS0}) - V_0] \\ Q_1' = C \times (A_{V1} \times V_{IP} - V_1) \\ Q_2' = C \times [A_{V2} \times (V_1 + V_{OS1}) - V_2] \\ Q_3' = C \times (A_{V2} \times V_0 - V_3) \end{cases} \quad (6)$$

其中, $V_0 \sim V_3$ 分别为 $C_0 \sim C_3$ 电容上极板电压.

根据电荷守恒, 并考虑到开关 $S_2 \sim S_5$ 的电荷注入效应, 可得残余输入失调电压为:

$$\Delta V_{OS} = \frac{V_{OSL}}{A_{V1} \times A_{V2}} + \frac{\Delta Q_1}{C \times A_{V1} \times A_{V2}} + \frac{\Delta Q_0}{C \times A_{V1}} \quad (7)$$

其中, ΔQ_0 为开关 S_2, S_3 向电容 C_2, C_3 的注入电荷失配量, ΔQ_1 为开关 S_4, S_5 向电容 C_4, C_5 的注入电荷失配量.

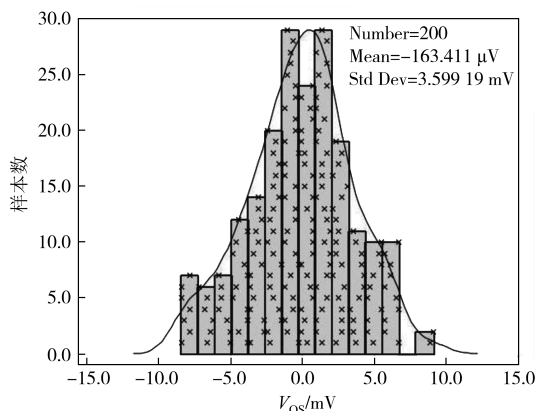
由式(7)可以看出, 二级预放大的输入等效失调电压 V_{OS0}, V_{OS1} 将被完全抵消, 后级锁存器的输入等效失调电压 V_{OSL} 会被除以预放大器的增益 $A_{V1} \times A_{V2}$, 从而实现了比较器低失调电压和低噪声的设计. 此外, 在每一位比较完成后, 预放大器输出节点短接, 将预放大器输出复位, 加快预放大器的响应速度.

为了验证比较器是否满足低失调电压的要求, 本文对比较器的失调电压进行了 200 次蒙特卡洛仿真, 仿真结果如图 9 所示. 由图可知, 自动校零技术显著降低了比较器输入失调电压的范围, 失调电压的均值 $\mu = -156.966 \mu V$, 方差 $\delta = 453.674 \mu V$.

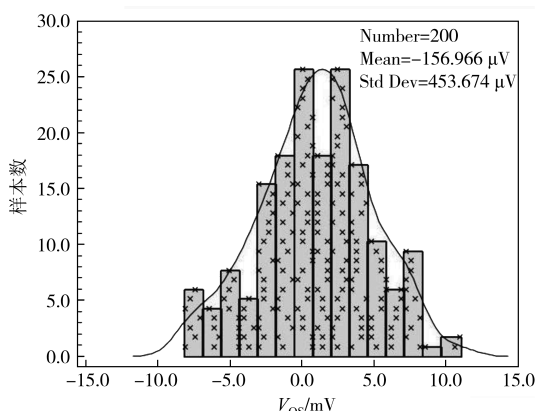
2.3 SAR 逻辑控制及寄存器电路设计

本文中 ADC 采用自定时同步时序^[14], 与传统同步时序相比, 自定时逻辑能够更好地提高 DAC 和预放大器的效能, 降低动态功耗. 传统的同步时序每位的位转换如图 10(a) 所示, 比较器由 CLK 下降沿触发, 锁存比较器经过 t_{latch} 得到稳定判决, 而 SAR 逻辑控制电路则工作在下半个周期, DAC 和预放大器随后开始建立. 为了保证下一位的位转换能够正确判决, DAC 和预放大器的建立时间 t_{dac} 和 t_{pre} 均应小于半个时钟周期, 增加了设计难度. 而本文使用的自定时同步时序图如图 10(b) 所示, 比较器得到稳定的输出结果后, SAR 逻辑立即开始工作, 经过一定的逻辑延时 DAC 也开始建立, 此时预放大器输出端进行复位, 并在下半个周期来临时开始工作. 与传统的同步时序相比, 自定时同步时序控制放宽了对逻辑电路的延迟和 DAC 建立时间的要求, 并加快了预放大器的响应速度, 有利于实现高速 SAR ADC.

逐次逼近寄存器 SAR 电路是 SAR ADC 时序控制电路的核心部分, 主要由移位寄存器和数据锁存



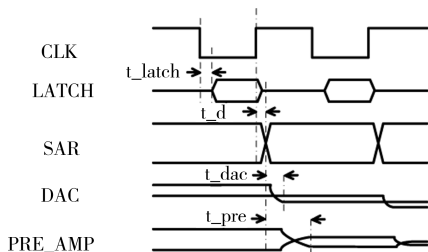
(a)锁存比较器



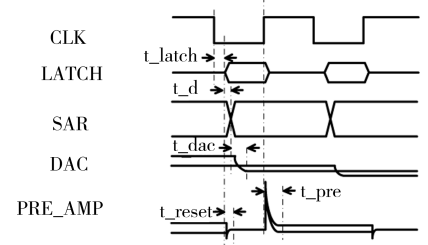
(b)使用自动校零技术的比较器

图9 比较器输入失调电压蒙特卡洛仿真图

Fig.9 Monte Carlo simulation diagram of comparator input offset



(a)传统 SAR 逻辑



(b)自定时 SAR 逻辑

图10 传统和自定时 SAR 逻辑时序图

Fig.10 Timing diagram of conventional and self-timed SAR logic

器构成,如图 11 所示.当采样时钟为高电平时, \overline{RST} 置 1,将锁存器复位.在转换阶段,当比较器稳定输出后,CK_SAR 置为高电平,移位寄存器产生时钟控制

信号 CK<11:0>,控制数据锁存器接受比较器结果 DI,并将其锁存为 D<11:0>,并控制 DAC 下极板开关切换.其中,D<11:7>经过译码器转换为温度计编码,控制 32 个 MSB 最小单元电容,D<6:0>则直接经过两级反相器控制 LSB 部分电容下极板接 V_{refp}/V_{refn} .

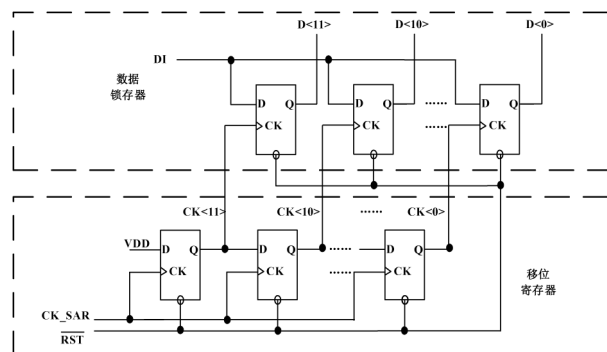


图 11 SAR 电路原理图

Fig.11 SAR schematic diagram

2.4 电容阵列

本文采用 MIM 电容,单位电容的尺寸为 $10 \mu\text{m} \times 10 \mu\text{m}$,单位电容值约为 96.9 fF .对于采用本文分段结构的 12 bit 差分 SAR ADC 每端的电容阵列均需要 130 个单位电容和一个桥接电容.包括 dummy 电容在内,该 SAR ADC 两端的电容阵列版图共占用了 $2 \times 240 \mu\text{m} \times 245 \mu\text{m}$ 的有效面积,约占据整个核心版图面积的 32%,DAC 电容布局示意图如图 12 所示.其中,d 为 dummy 电容;Cb 为桥接电容;数字 0~6 为 LSB 部分 7 位电容,由二进制码控制;T0~T31 为 MSB 部分电容,由温度计码控制.

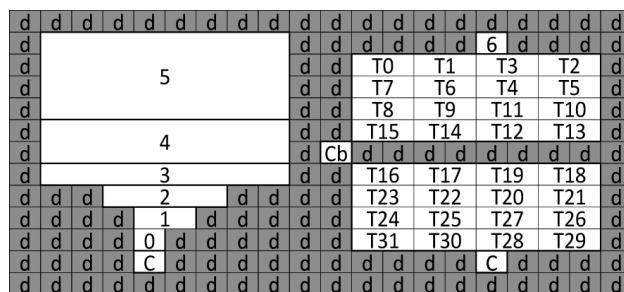


图 12 DAC 电容布局示意图

Fig.12 The diagram of DAC capacitors layout

3 仿真及测试结果

本文所设计的 SAR ADC 基于 SMIC $0.18 \mu\text{m}$ 的 CMOS 工艺环境完成了流片,图 13 为芯片的显微镜照片,整个 ADC 版图面积约为 $630 \mu\text{m} \times 575 \mu\text{m}$.由

于内核面积较小,所以在剩余空间内对模拟电源和地、数字电源和地、正参考和负参考间加入大量耦合电容来抑制共模耦合噪声.由于电容失配对 ADC 性能影响较大,综合对静态指标和动态指标的考量,ADC 在实际使用中舍去了最后一位的量化结果,仅作为 11bit 进行输出.

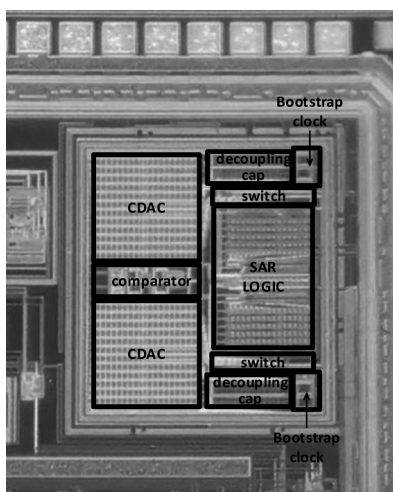


图 13 SAR ADC 显微镜照片

Fig.13 Microscope photos of SAR ADC

图 14 为芯片 DNL/INL 实测图,使用 DEM 后 $INL = +0.47LSB/-0.63LSB$, $DNL = +0.28LSB/-0.76LSB$. 从图中可以看出,ADC 的 INL 和 DNL 每隔 32 个码字就会发生一个较大的跳变,这可能是子 DAC 的电容失配造成的.当输入信号为 2 639.77 Hz 时,使用逻辑分析仪采样 2^{14} 个点,并对结果进行 FFT 分析,结果如图 15 所示.芯片的信噪失真比 SNDR 为 65.0 dB,无杂散动态范围为 77.8 dB,有效位数达到了 10.51 bit.从图中可以看出,ADC 仍存在较明显的谐波失真,DEM 对于电容失配的校准功能仍需要进一步改良.图 16

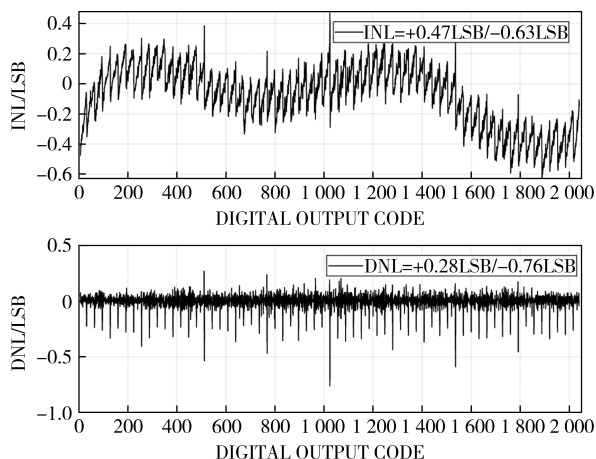


图 14 芯片 DNL/INL 实测图

Fig.14 Measured diagram of DNL / INL

为不同输入信号幅度下 ADC 的信噪失真比对比.

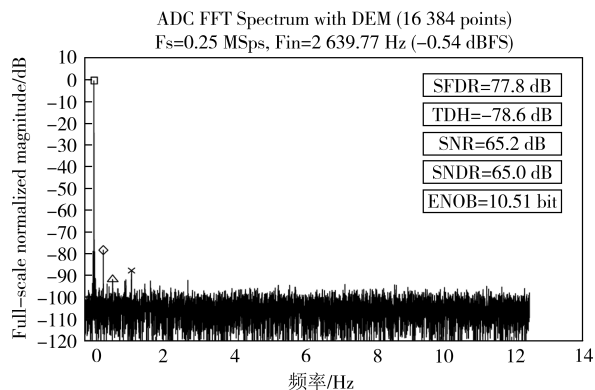


图 15 芯片在输入信号为 2 639.77 Hz 时输出频谱图

Fig.15 Chip output spectra with 2 639.77 Hz input signal

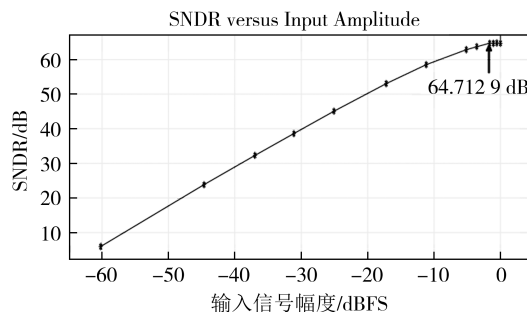


图 16 不同输入信号幅度下 SNDR 测量结果图

Fig.16 SNDR versus different input amplitude

在 1.8 V 电源电压下,本文设计的 SAR ADC 整体功耗为 $25.7 \mu W$, $FoMs$ 为 164.88 dB, $FoMw$ 为 70.5 fJ/step.其中,功耗占比最高的模块是比较器,主要是由于比较器的预放大级有直流功耗,在整个工作过程中都不会关闭.输入信号采样阶段,比较器需要做失调校准,而在转换阶段,比较器一直处于比较和复位过程中.SAR ADC 的功耗分布图如图 17 所示.

表 1 对本文设计的 SAR ADC 的性能进行了总结,并与近五年相关文献所提出的 SAR ADC 性能进行对比.从表中可以看出,本文设计的 SAR ADC 性

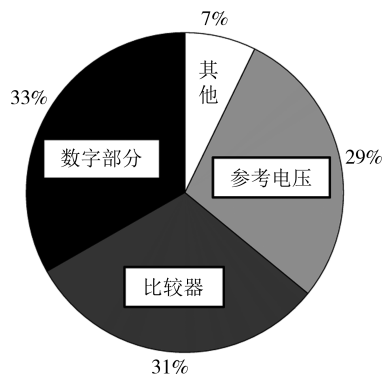


图 17 SAR ADC 功耗分布图

Fig.17 Distribution of SAR ADC power consumption

能较好,在线性度、功耗、带宽、面积等方面具有良好 的折中。

表1 SAR ADC性能总结及对比

Tab.1 Summary and comparison of SAR ADC performance

性能参数	文献[15]	文献[16]*	文献[17]*	文献[18]	文献[19]*	本文
工艺/nm	180	90	180	65	90	180
分辨率/bit	16	10	up to 10	12	10	12
电压/V	1.8	1	1	1.2	A1.0/D0.6	1.8
采样频率/(kS·s ⁻¹)	2	308	5	1250	800	250
SNDR/dB	84.6	59.21	57.59	69.2	56.4	65.0
SFDR/dB	98.2	—	—	89.6	56.8	77.8
ENOB/bit	13.76	9.45	9.27	10.88	9.07	10.51
POWER/ μ W	7.93	13.48	0.42	158.5	27.6	25.7
FoMs/dB **	165.61	159.79	155.34	165.16	158.01	164.88
FoMw/ fj/step **	286	42.7	126.9	54.3	59	70.5
面积/mm ²	0.68	—	0.02	0.07	—	0.36

* 论文仅给出仿真结果

**FoMs = SNDR + 10 × lg(BW/POWER),FoMs 越大 ADC 性能越好;

FoMw = POWER/(2^{ENOB} × 2 × BW),FoMw 越小 ADC 性能越好;

部分论文缺少 FoMs 和 FoMw 结果,已根据公式计算得出

4 结论

本文基于柔性皮肤压力传感器对于后端处理 ADC 的要求,设计了一款基于 GND 采样的 SAR ADC,在 DAC 阵列采用分段式电容结构,以降低电容阵列的切换功耗,并减小芯片面积.此外,动态元件匹配技术的使用缓解了电容阵列失配对于 ADC 线性度的影响.最后,对芯片进行流片测试,测试结果证明,所设计的 SAR ADC 基本上达到了预期目标,但是仍需进一步优化.可以进一步优化版图布局,改善因电容呈单调排列而可能引起的谐波失真^[20];减小主 DAC 和子 DAC 之间的 dummy 电容宽度,有益于降低 LSB 部分上极板金属走线到 dummy 的寄生,从而优化 LSB 部分线性度.此外,还可以使用单位电容代替分数型桥接电容,改善桥接电容失配对于 ADC 线性度的影响.

参考文献

- [1] 李凤超,孔振,吴锦华,等. 柔性压阻式压力传感器的研究进展[J]. 物理学报,2021,70(10):7-24.
LI F C, KONG Z, WU J H, et al. Advances in flexible piezoresistive pressure sensor[J]. Acta Physica Sinica, 2021, 70(10): 7-24. (in Chinese)
- [2] CHENG Y F, MA Y N, LI L Y, et al. Bioinspired microspines for a high-performance spray Ti3C2Tx MXene-based piezoresistive

sensor[J]. ACS Nano, 2020, 14(2):2145-2155.

- [3] HE J, XIAO P, LU W, et al. A Universal high accuracy wearable pulse monitoring system via high sensitivity and large linearity graphene pressure sensor[J]. Nano Energy, 2019, 59:422-433.
- [4] QIU Y, TIAN Y, SUN S S, et al. Bioinspired, multifunctional dual-mode pressure sensors as electronic skin for decoding complex loading processes and human motions[J]. Nano Energy, 2020, 78: 105337.
- [5] WANG R R, ZHANG Y H, CHEN X H, et al. Chest and abdomen respiratory monitoring by large area piezoresistive array[C]//2021 IEEE International Conference on Flexible and Printable Sensors and Systems. Manchester, United Kingdom: IEEE, 2021: 1-4.
- [6] ZHANG H J, TAN Z C, CHU C, et al. A 1-V 560-nW SAR ADC with 90-dB SNDR for IoT sensing applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(12): 1967-1971.
- [7] LIU T Y, XU D G, NIU H F, et al. A 12-bit 120-MS/s SAR ADC with improved split capacitive DAC and low-noise dynamic comparator[J]. Analog Integrated Circuits and Signal Processing, 2020, 102(2):403-413.
- [8] 葛馨. 12位异步逐次逼近模数转换器设计[D]. 西安:西安电子科技大学, 2020.
GE X. Design of 12-bit asynchronous successive approximation ADC[D]. Xi'an: Xidian University, 2020. (in Chinese)
- [9] FAN H, HEIDARI H, MALOBERTI F, et al. High resolution and linearity enhanced SAR ADC for wearable sensing systems[C]//2017 IEEE International Symposium on Circuits and Systems. Baltimore, MD, USA: IEEE, 2017: 1-4.
- [10] KONIJNENBURG M, VAN WEGBERG R, SONG S, et al. 22.1 A 769 μ W battery-powered single-chip SoC with BLE for multi-modal vital sign health patches[C]//2019 IEEE International

- Solid-State Circuits Conference. San Francisco, CA, USA: IEEE, 2019:360-362.
- [11] BAIRD R T, FIEZ T S. Linearity enhancement of multibit/spl Delta//spl Sigma/A/D and D/A converters using data weighted averaging[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1995, 42(12):753-762.
- [12] ABO A M, GRAY P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter[J]. IEEE Journal of Solid-State Circuits, 1999, 34(5):599-606.
- [13] RAZAVI B, WOOLEY B A. Design techniques for high-speed, high-resolution comparators[J]. IEEE Journal of Solid-State Circuits, 1992, 27(12):1916-1926.
- [14] VERMA N, CHANDRAKASAN A P. An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes[J]. IEEE Journal of Solid-State Circuits, 2007, 42(6):1196-1205.
- [15] CHOI S, KU H S, SON H, et al. An 84.6-dB-SNDR and 98.2-dB-SFDR residue-integrated SAR ADC for low-power sensor applications[J]. IEEE Journal of Solid-State Circuits, 2018, 53(2):404-417.
- [16] 张蕾, 杨晨晨, 王兴华. 一种采用时域比较器的低功耗逐次逼近型模数转换器的设计[J]. 北京理工大学学报, 2020, 40(5): 526-530.
- ZHANG L, YANG C C, WANG X H. Design of low-power successive approximation register analog-to-digital convertor based on a time-domain comparator[J]. Transactions of Beijing Institute of Technology, 2020, 40(5):526-530. (in Chinese)
- [17] NASSERIAN M, PEIRAVI A, MORADI F. An adaptive-resolution signal-specific ADC for sensor-interface applications[J]. Analog Integrated Circuits and Signal Processing, 2019, 98(1):125-135.
- [18] JEONG T, CHANDRAKASAN A P, LEE H S. S2ADC: a 12-bit, 1.25-MS/s secure SAR ADC with power side-channel attack resistance[J]. IEEE Journal of Solid-State Circuits, 2021, 56(3): 844-854.
- [19] INANLOU R, SAFARPOUR M, SILVÉN O. Arithmetic tracking adaptive SAR ADC for signals with low-activity periods[J]. IEEE Access, 2020, 8:211621-211629.
- [20] 薛春莹. 用于高速无线局域网SOC的ADC IP设计[D]. 北京: 清华大学, 2015:68.
- XUE C Y. ADC IP design for high-speed wireless local area network SOC[D]. Beijing: Tsinghua University, 2015:68. (in Chinese)