

2.4 GHz 频段射频前端高线性度 SiGe 低噪声放大器设计

傅海鹏[†], 史昕宇

(天津大学微电子学院, 天津 300072)

摘要:为满足高性能射频前端接收部分对高线性度的需求,基于 SiGe BiCMOS 工艺设计并实现了一款工作在 2.4 GHz 频段的高线性度低噪声放大器(Low Noise Amplifier, LNA)。该放大器采用 Cascode 结构在增益与噪声之间取得平衡,在 Cascode 结构输入和输出间并联反馈电容,实现输入端噪声与增益的同时匹配。设计了一种改进的动态偏置有源电流镜以提升输入 1 dB 压缩点及输入三阶交调点的线性度指标。为满足应用需求, LNA 与射频开关及电源模块集成组成低噪声射频前端接收芯片进行流片加工测试。测试结果表明:在工作频率 2.4 ~ 2.5 GHz 内,整个接收芯片增益为 14.6 ~ 15.2 dB, S_{11} 、 S_{22} < -9.8 dB, NF < 2.1 dB, 2.45 GHz 输入 1 dB 压缩点为 -2.7 dBm, 输入三阶交调点为 +12 dBm。芯片面积为 1.23 mm × 0.91 mm。该测试结果与仿真结果表现出较好的一致性,所设计的 LNA 展现出了较好的线性度表现。

关键词:低噪声放大器;线性度;射频前端芯片;BiCMOS 工艺

中图分类号: TN402 **文献标志码:** A

Design of 2.4 GHz RF Front-end High Linearity SiGe Low Noise Amplifier

FU Haipeng[†], SHI Xinyu

(School of Microelectronics, Tianjin University, Tianjin 300072, China)

Abstract: To meet the high linearity requirement of high-performance RF front-end receivers, a high linearity low noise amplifier (LNA) operating at 2.4 GHz based on SiGe BiCMOS technology is proposed. The amplifier adopts the cascade structure to achieve a balance between gain and noise, and the feedback capacitor is connected in parallel between the input and output of the Cascode structure to achieve simultaneous noise and power match. An improved dynamic bias active current mirror is designed to improve the linearity parameters of the input 1 dB compression point and the input-referred third-order intercept point. To meet the requirements in application, LNA is integrated with an RF switch and power module to form an RF receiver front-end chip for processing and testing. The test results show that: within the operating frequency range of 2.4 ~ 2.5 GHz, the gain of the whole receiver chip is 14.6 ~ 15.2 dB. Return loss < -9.8 dB, and NF < 2.1 dB. At 2.45 GHz, the input 1 dB compression point is -2.7 dBm, and the input-referred third-order intercept point is +12 dBm. The chip area is 1.23 mm × 0.91 mm. The test results are consistent with the simulation results, and the designed LNA exhibits good linearity performance.

* 收稿日期:2023-02-22

基金项目:国家自然科学基金资助项目(62074110), National Natural Science Foundation of China(62074110)

作者简介:傅海鹏(1985—),男,黑龙江齐齐哈尔人,天津大学副教授

[†] 通信联系人, E-mail: hpfu@tju.edu.cn

Key words: low noise amplifiers; linearity; radio frequency front-end chip; BiCMOS technology

低噪声放大器要求在自身不引入较大噪声的同时,将接收到的微弱信号进行线性放大.作为接收机中的第一个放大器,LNA的性能在很大程度上影响整个系统的噪声、线性度、灵敏度等指标.近年来,通信技术的发展和进步让视频会议、网络教学等各种应用场景得以实现,改变了人们的生活方式^[1-3].为了适应不断扩大的接入设备数量,满足不断增长的数据吞吐量及速率需求,无线通信协议标准也在不断发展.其中,无线通信协议中诸如调制阶数的提升及系统灵敏度要求的提高对射频前端接收部分的线性度提出了更高的要求.这为LNA的设计带来了新的挑战,LNA需要具有更高的线性度、更低噪声、更高增益,以及更低的面积成本等^[4].

为实现高线性度需求,文献[5]采用多栅晶体管(Multiple Gated Transistor, MGTR)结构,分别将主、从 CMOS 晶体管偏置在饱和区和亚阈值区,实现对整体跨导二次导数的抵消,从而提升线性度.然而,该方案仅适用于 CMOS 工艺.文献[6]采用堆叠晶体管的方法设计了一种堆叠三级的 cascode 低噪声放大器.堆叠使得放大器可以使用更高的电源电压,从而获得更大的信号摆幅范围.功耗的提升也使得线性度得以提升.但这显著牺牲了功耗,不符合低功耗应用的发展趋势.文献[7]通过改进偏置电路提升线性度,但是其在大信号时,经电阻泄漏的射频电流会直接流入偏置电路中,偏置电路与放大器间镇流电阻的压降变化仍会带来低噪声放大器输入 1 dB 压缩点的前移,恶化放大器线性度.

从工艺考虑,虽然 CMOS 工艺具有成本较低、易于集成等优势,但是噪声和线性度较差^[8].而 GaAs 等 III/V 族工艺与之相反,性能优秀,但价格高昂且不易集成^[9].与上述主流工艺对比,SiGe BiCMOS 工艺不仅具有 CMOS 工艺易于集成的特点,还具有可与 GaAs 等 III/V 族工艺相比拟的性能和价格优势,是一种适合射频 LNA 设计的具有高性价比的折中选择^[10].

针对上述挑战并考虑工艺特点,本文采用 SiGe BiCMOS 工艺,设计并实现了一款工作在 2.4 GHz 频段的射频前端 LNA.通过并联电容反馈技术在输入端同时实现增益和噪声匹配,并结合 SiGe 工艺特点,

采用改进的动态偏置电路,克服镇流电阻压降影响,对泄漏的射频电流也加以利用,在不提升静态功耗的同时,实现线性度提升.为适应不同强度信号下的工作情况,该 LNA 可在 LNA 模式和旁路(Bypass)模式间切换.

1 电路设计

本文提出的全集成 LNA 整体框图如图 1 所示.整体电路由 LNA、偏置电路、单刀双掷(Single Pole Double Throw, SPDT)收发开关及 Bypass 支路构成.芯片整体通过单刀双掷开关选通发射、接收支路.LNA 接收部分在输入信号较小时,通过逻辑控制开关使电路工作在 LNA 模式,实现低噪声放大功能.在输入信号较大时,电路工作在 Bypass 模式,对信号进行旁路衰减,供后续电路处理.

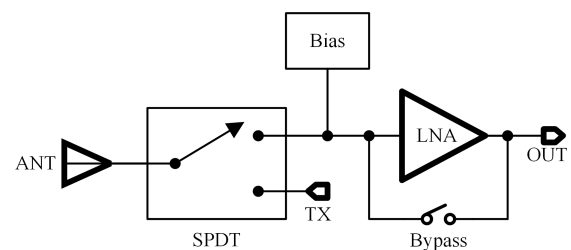


图 1 全集成 LNA 框图

Fig.1 Block diagram of fully integrated LNA

1.1 开关设计

本文使用的单刀双掷开关如图 2 所示.开关电路结构采用串并联结构,导通时开启串联支路,关闭并联支路,实现导通低插入损耗;关断时关闭串联支路,导通并联支路,实现关断高隔离度.由于发射、接收支路具有不同的功率容量需求,整体电路设计为非对称结构.当 LNA_EN 为高电平,PA_EN 为低电平时,射频开关选通接收支路, M_1 管关断隔离发射支路,天线 ANT 端口接收信号经过 M_2 、 M_3 管从 RX 端输出至 LNA 主体放大;当 LNA_EN 为低电平,PA_EN 为高电平时, M_2 、 M_3 管关断隔离接收支路,PA 发出的大功率信号由 TX 端口经过 M_1 管从 ANT 端输出.

1.2 LNA 及 Bypass 设计

低噪声放大器在稳定的条件下,主要性能指标

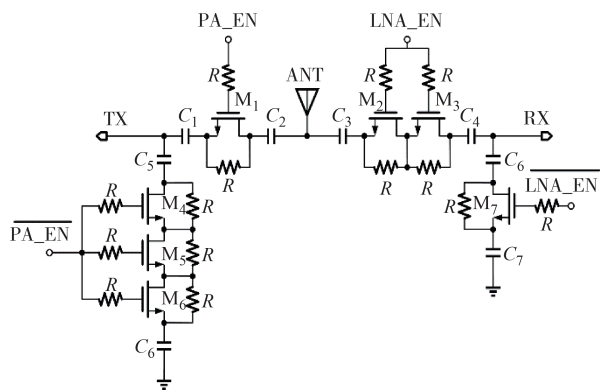


图 2 单刀双掷开关原理图

Fig.2 Schematic of single pole double throw switch

包含噪声系数、增益及线性度,良好的设计需要在三者之间权衡折中,一般噪声系数和增益的优先级较高^[11-12].本文所设计的 LNA 放大器部分如图 3 所示,放大器主体由三极管 Q_{CE} 和 Q_{CB} 构成器件数较少的共射共基结构,减少晶体管噪声贡献并提高放大器增益.采用高 Q 值的金丝键合线电感 L_s 组成发射极电感反馈结构保持放大器良好的稳定性,并参与输入阻抗实部匹配.

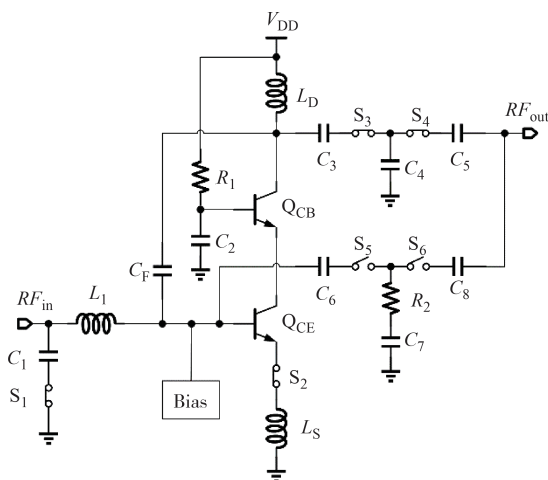


图 3 低噪声放大器原理图

Fig.3 Schematic of the proposed dual-mode low noise amplifier

考虑三极管在电流密度一定的条件下,其最小噪声系数将独立于晶体管大小.并且,共射共基极放大器的线性度与集电极工作电流 I_c 正相关.因此,在功耗范围内采用大尺寸、低电流密度的三极管实现噪声与线性度的折中设计.尽管这将导致输入阻抗的实部低于 50Ω ,使输入匹配复杂化,但采用额外的并联电容反馈 C_F 和 L_1 、 C_1 构成的 L 型匹配网络仍可以实现输入端噪声与增益的同时匹配.

具体如图 4 所示, Z_s 为 50Ω 射频端口阻抗经过射频开关接收支路后在 RX 端口体现的阻抗值.将

L_1 、 C_1 构成的 L 型匹配网络输入阻抗设计为射频开关输出阻抗 Z_s 的共轭以实现最佳输入匹配,输出阻抗设计为共射共基放大器的最优信号源阻抗实现噪声匹配.并联反馈电容 C_F 将由负载电感 L_0 与电容 C_3 、 C_4 、 C_5 构成的 T 型匹配网络共同组成的输出负载阻抗 Z_L 引入输入端匹配,因此可以通过调整 C_F 、 Z_L 来使看向晶体管的输入阻抗 Z_T 等于最佳噪声阻抗的共轭来实现增益匹配.由于引入的 Z_L 不在输入端,不会对先前噪声匹配产生明显影响,至此,也就实现了晶体管输入阻抗不为 50Ω 时的输入端噪声与增益的同时匹配.且反馈电容 C_F 的引入使得反馈增强,稳定性提高,可以减小对 L_s 尺寸的需求,进一步优化噪声.

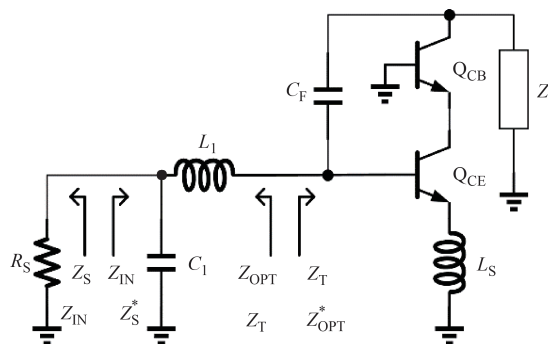


图 4 输入匹配原理图

Fig.4 Schematic of the input matching network

结合图 3、图 4,可以推导出具体的输入阻抗为:

$$Z_{IN} = \frac{1}{sC_1} // (sL_1 + Z_T) \quad (1)$$

$$Z_T = Z_L \frac{s \left(Z_L + \frac{1}{sC_F} \right)}{Z_L \omega_T + s \left(Z_L + \frac{1}{sC_F} \right)} \quad (2)$$

$$Z_L = r_{BB} + \frac{L_S g_m}{C_{BE}} + sL_S + \frac{1}{sC_{BE}} \quad (3)$$

$$\omega_T = \frac{g_m}{C_{BE}} \quad (4)$$

其中, C_1 、 L_1 分别为 L 型输入匹配的电容、电感, Z_L 为负载电感 L_0 与电容 C_3 、 C_4 、 C_5 构成的 T 型匹配网络共同组成的输出负载阻抗, C_F 为并联反馈电容, r_{BB} 为三极管小信号模型中的基极电阻, L_S 为发射极反馈电感, g_m 为三极管跨导, C_{BE} 为三极管基极与发射极间寄生电容.

当接收机接近信号源时,会接收到较大功率的信号,此时需要 Bypass 功能对大功率信号进行旁路,避免信号超出接收电路动态范围,保护低噪声放大器不被损坏.当工作在 Bypass 模式时,开关 S_1 、 S_2 、 S_3 、

S_4 断开,切断LNA通路.开关 S_5 、 S_6 打开,借由 S_5 、 S_6 开关的导通电阻与电阻 R_2 和电容 C_7 所在的支路一同构成T型衰减结构,并可以通过电容 C_6 、 C_8 分别调节Bypass模式下的输入、输出匹配特性,通过电容 C_7 调整带内衰减平坦度,实现Bypass模式的信号衰减功能.

1.3 线性度提升偏置电路设计

偏置电路为晶体管提供合适的静态工作点.传统的有源偏置电路常采用电流镜结构,如图5所示.

晶体管集电极电流 I_C 与基极-发射极之间电压 V_{BE} 的关系可写为:

$$I_C = I_S \exp\left(\frac{V_{BE}}{V_T}\right) \quad (5)$$

式中: V_T 为热电压; I_S 为饱和电流.

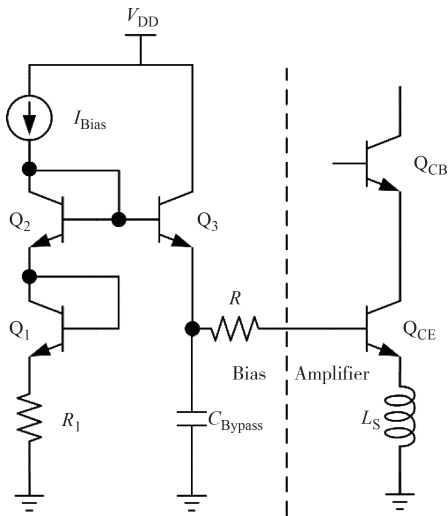


图5 传统电流镜有源偏置电路原理图

Fig.5 Schematic of traditional active bias circuit using current mirror

上式得出,当图5中晶体管 Q_2 与 Q_3 具有相同 V_{BE} 时,电流镜左右两边必然流过相同的电流.这就是电流镜的工作原理.假设LNA共射管 Q_{CE} 叠加射频信号后,式(5)可改写为如式(6)所示,其中 V_{RF} 为输入射频信号幅度.经过泰勒展开后可得式(7).

$$I_C = I_S \exp\left[\frac{V_{BE} + V_{RF} \cdot \sin(2\pi ft)}{V_T}\right] \quad (6)$$

$$I_C \approx I_S \exp\left(\frac{V_{BE}}{V_T}\right) \left[\frac{5}{4} + \sin(2\pi ft) - \frac{\cos(4\pi ft)}{4} \right] \frac{V_{RF}}{V_T} \quad (7)$$

由上式可以得出,射频信号的输入会给集电极电流 I_C 引入额外的直流分量,且随着输入射频信号增大, I_C 的直流部分将迅速升高.这意味着,随着输

入射频信号增大,升高的 I_C 将使得基极电流几乎同步升高,在镇流电阻上产生更大的压降,迫使共射管 Q_{CE} 直流偏置电压降低,晶体管跨导下降,进而带来放大器增益的下降,使得放大器的1 dB压缩点提前到来,影响LNA线性度表现.

因此,为提高LNA的线性度,本文采用如图6所示的动态偏置电路对LNA进行偏置. I_{Bias} 采用基准模块产生的恒定电流.将原本的镇流电阻 R 拆分为电阻 R_2 、 R_3 ,则 Q_{CE} 基极电流增大在 R_3 上产生的额外压降仅会使得 Q_2 各极电位同步抬升,避免了上述传统结构中镇流电阻对LNA线性度的影响.当LNA工作在小信号情况时,该偏置电路为放大器晶体管提供稳定偏置.而当输入射频信号增大,使得LNA共射管 Q_{CE} 基极电压出现下降时, Q_1 基极电压将随之降低.同时,泄露的射频电流经 C_1 流入 R_1 ,抬升 Q_1 发射极电压,使得 Q_1 集电极电流减小.此时, I_{Bias} 中将有更多电流成为 Q_2 的基极电流,并经过 Q_2 的电流放大作用,产生更多电流流入 Q_{CE} 基极.最终,额外电流的注入将提高 Q_{CE} 偏置电压,延缓 Q_{CE} 跨导下降导致的放大器增益下降,实现动态偏置效果,提高LNA线性度.

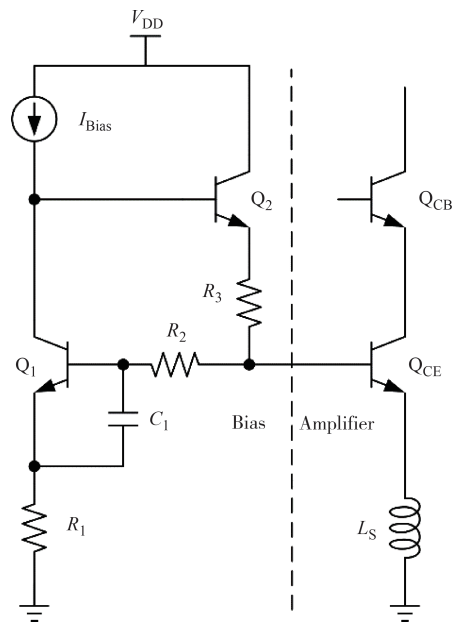


图6 动态偏置电路原理图

Fig.6 Schematic of dynamic bias circuit

仿真得到在使用上述两种偏置电路时, Q_{CE} 晶体管基极-发射极电压 V_{BE} 随输入功率变化的关系如图7所示.从图7可对比得出,使用传统电流镜偏置的晶体管 V_{BE} 在输入功率高于-10 dBm后出现快速下降,并在输入功率达到+5 dBm时,已下降约200 mV.而同等条件下,采用动态偏置电路结构进行偏置的晶体管 V_{BE} 仅下降10 mV.以上结果表明,动态偏置电

路可以更好地稳定放大器的静态工作点,减弱输入功率升高时,晶体管跨导变化导致的增益下降,改善电路的线性度.

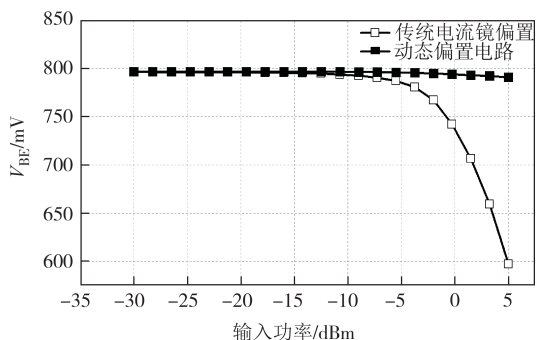


图 7 电路使用传统电流镜偏置与动态偏置的 V_{BE} 随输入功率变化

Fig.7 V_{BE} versus input power for circuit using conventional current mirror bias and dynamic bias

2 仿真及测试结果对比分析

本节介绍芯片的仿真与测试结果.芯片的显微镜照片如图 8 所示.芯片面积为 $1.23 \text{ mm} \times 0.91 \text{ mm}$.测试时,芯片的所有 pad 均由金丝键合线连接至片外测试板.测试板照片如图 9 所示.测试板使用 4350 板材.

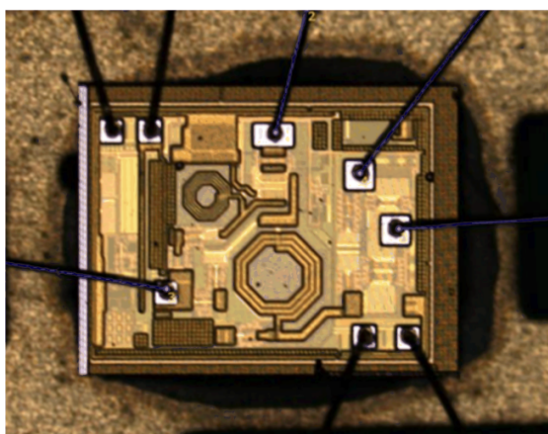


图 8 芯片显微镜照片

Fig.8 Microscope photo of the chip

S 参数的仿真与测试结果对比如图 10 所示.仿真结果表明,在 $2.4 \sim 2.5 \text{ GHz}$ 内,LNA 的 S_{21} 为 $15.1 \sim 15.5 \text{ dB}$, $S_{11} < -20 \text{ dB}$, $S_{22} < -13.8 \text{ dB}$.测试结果表明,在相应频带内, S_{21} 为 $14.6 \sim 15.2 \text{ dB}$, $S_{11} < -18 \text{ dB}$, $S_{22} < -9.8 \text{ dB}$.S 参数的测试结果与仿真结果一致性较高.

噪声系数的仿真与测试结果对比如图 11 所示.

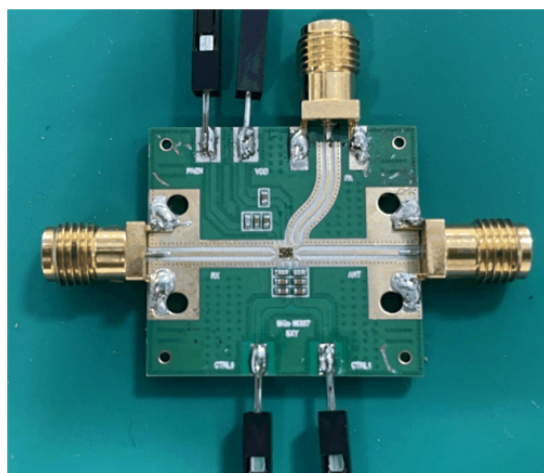


图 9 测试板照片

Fig.9 Photo of the test board

在 $2.4 \sim 2.5 \text{ GHz}$ 内,仿真噪声系数 $< 1.85 \text{ dB}$,实测噪声系数在 $1.9 \sim 2.06 \text{ dB}$ 内.噪声系数的仿真与实测结果相差接近 0.2 dB ,主要为测试板射频走线及接头损耗所致,可以认为仿真与测试结果一致.

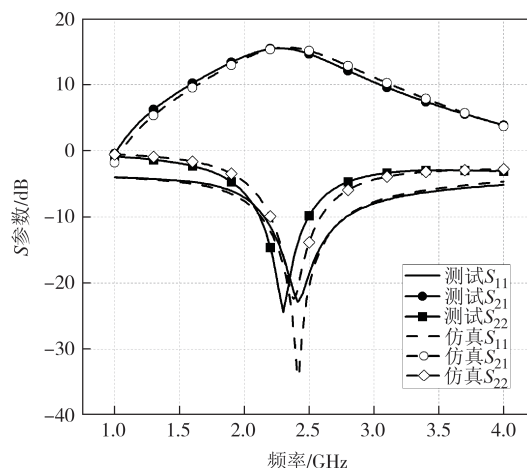


图 10 S 参数仿真与测试结果

Fig.10 Simulation and test results of S-parameters

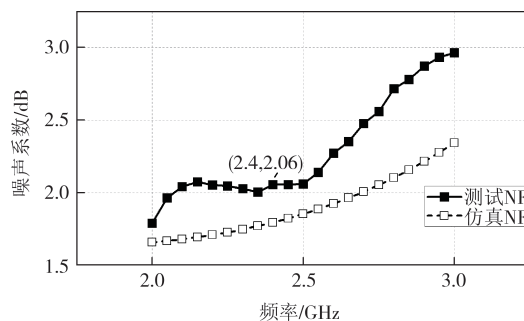


图 11 噪声系数仿真与测试结果

Fig.11 Simulation and test results of noise figure

图 12 及图 13 展示了 LNA 线性度测试结果.测试结果表明,该 LNA 在中心频点 2.45 GHz 处输入 1 dB

压缩点接近 -2.7 dBm,其输入三阶交调点超过 $+12$ dBm. LNA实现了较优的线性度表现.

表1展示了本设计与近年其他低噪声放大器的性能比较结果.从对比结果可以看出,本文所设计的

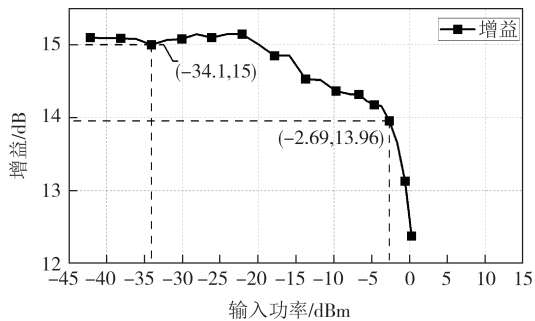


图12 输入1 dB压缩点测试结果

Fig.12 Test results of input 1 dB compression point

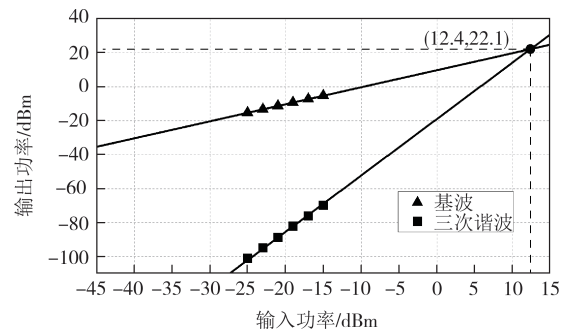


图13 输入三阶交调点测试结果

Fig.13 Test results of input-referred third-order intercept point

低噪声放大器各项性能指标较为均衡,增益较高,噪声系数相对较小,且本设计的输入三阶交调点指标较为突出,该低噪声放大器具有较为优秀的线性度水平.

表1 低噪声放大器性能总结

Tab.1 Summary of the low noise amplifier performance

文献	工艺	增益/dB	噪声系数/dB	输入1 dB压缩点/dBm	输入三阶交调点/dBm
文献[13]	CMOS	11.2	3.9	—	3.9
文献[14]	SiGe	13.5	2.8	—	-1.5
文献[15]	SOI	15	1.8	-8.5	3.5
本文	SiGe	14.6~15.2	2.06	-2.7	12

3 结论

本文提出了一款基于SiGe工艺的高线性度低噪声放大器.设计采用电容反馈结构和L型输入匹配实现放大器增益与噪声的同时匹配优化,并采用改进的动态偏置电路提升LNA的线性度表现.实测结果表明,在 $2.4 \sim 2.5$ GHz的工作频带内,电路增益为 $14.6 \sim 15.2$ dB,噪声系数在 2.1 dB以内,输入输出匹配良好,且整体仿真结果与加工实测结果表现出较好的一致性.线性度测试结果表明该LNA在中心频点 2.45 GHz处输入 1 dB压缩点接近 -2.7 dBm,电路输入三阶交调点达到了 $+12$ dBm,所设计的低噪声放大器具有较高的线性度.

参考文献

[1] 胡锦,翟媛,郝明丽,等. 应用于WLAN的SiGe射频功率放大器的设计[J]. 湖南大学学报(自然科学版),2012,39(10): 56-59.
HU J, ZHAI Y, HAO M L, et al. Design of SiGe RF power

amplifier for WLAN [J]. Journal of Hunan University (Natural Sciences), 2012, 39(10): 56-59. (in Chinese)

- [2] LI C J, WANG X X, JAIN V, et al. 2.4/5.5GHz LNA switch designs based on high resistive substrate 0.35um SiGe BiCMOS [C]//2015 IEEE 11th International Conference on ASIC (ASICON). Chengdu:IEEE, 2016:1-4.
- [3] 刘祖华,刘斌,黄亮,等. 应用于WLAN的低噪声放大器及射频前端的设计[J]. 电子技术应用,2014,40(1):38-40.
LIU Z H, LIU B, HUANG L, et al. Design of low noise amplifier and RF front-end for WLAN [J]. Application of Electronic Technique, 2014, 40(1): 38-40. (in Chinese)
- [4] KANG B, YU J, SHIN H, et al. Design and analysis of a cascode bipolar low-noise amplifier with capacitive shunt feedback under power-constraint [J]. IEEE Transactions on Microwave Theory and Techniques, 2011, 59(6): 1539-1551.
- [5] KIM T W, KIM B, LEE K. Highly linear receiver front-end adopting MOSFET transconductance linearization by multiple gated transistors [J]. IEEE Journal of Solid-State Circuits, 2004, 39(1): 223-229.
- [6] DAVULCU M, ÇALIŞKAN C, KALYONCU İ, et al. An X-band SiGe BiCMOS triple-cascode LNA with boosted gain and P1dB [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65(8): 994-998.
- [7] LUO Y B, SHI J A, MA C Y, et al. A high linearity SiGe HBT

- LNA for GPS receiver[J]. *Journal of Semiconductors*, 2014, 35(4):045001.
- [8] ZHANG H, SÁNCHEZ-SINENCIO E. Linearization techniques for CMOS low noise amplifiers: a tutorial[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2011, 58(1):22-36.
- [9] 饶忠君, 张志浩, 章国豪. 2.3~2.7 GHz 双模式低噪声射频接收前端全集成芯片的设计[J]. *电子技术应用*, 2021, 47(7):17-20.
- RAO Z J, ZHANG Z H, ZHANG G H. Design of a 2.3~2.7 GHz dual-mode low-noise RF receiver front end[J]. *Application of Electronic Technique*, 2021, 47(7):17-20. (in Chinese)
- [10] 井凯. SiGe HBT 低噪声放大器的研究[D]. 西安:西安电子科技大学, 2016.
- JING K. Research on SiGe HBT low noise amplifier[D]. Xi'an: Xidian University, 2016. (in Chinese)
- [11] NGUYEN T K, KIM C H, IHM G J, et al. CMOS low-noise amplifier design optimization techniques[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2004, 52(5):1433-1442.
- [12] 曾健平, 樊明, 陈铖颖, 等. 应用于眼压信号检测的低噪声前置放大器设计[J]. *湖南大学学报(自然科学版)*, 2017, 44(8):112-116.
- ZENG J P, FAN M, CHEN C Y, et al. Design of low-noise preamplifier for application of intraocular pressure signal-detection[J]. *Journal of Hunan University (Natural Sciences)*, 2017, 44(8):112-116. (in Chinese)
- [13] 陈福棧, 甘业兵, 罗彦彬, 等. 一种 2.4 GHz 多模块集成 CMOS 射频前端芯片[J]. *微电子学与计算机*, 2020, 37(12):27-32.
- CHEN F Z, GAN Y B, LUO Y B, et al. A 2.4 GHz multi-module CMOS RF front-end chip[J]. *Microelectronics & Computer*, 2020, 37(12):27-32. (in Chinese)
- [14] 刘启, 甘业兵, 黄武康. 一种 2.4 GHz SiGe 全集成射频前端电路[J]. *微电子学与计算机*, 2020, 37(10):7-12.
- LIU Q, GAN Y B, HUANG W K. A 2.4 GHz SiGe full integrated RF front-end[J]. *Microelectronics & Computer*, 2020, 37(10):7-12. (in Chinese)
- [15] PARAT D, SERHAN A, REYNIER P, et al. A linear high-power reconfigurable SOI-CMOS front-end module for WI-FI 6/6E applications[C]//2022 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). Denver, CO:IEEE, 2022:39-42.