

文章编号:1674-2974(2016)08-0108-07

一种基于前馈网络的素数 Sigma-Delta 调制器优化设计*

王镇道, 阮忠周[†]

(湖南大学 物理与微电子科学学院, 湖南 长沙 410082)

摘要: Sigma-Delta 调制器是小数分频锁相环(Phase Locked Loop, PLL)中的关键模块,其噪声整形效果直接影响 PLL 的输出杂散、频率精度等性能. 已有调制器均不能同时解决输出序列周期短、输出小数值无法覆盖 0 到 1 以及输出存在误差问题. 针对这些问题,提出了一种新型的、基于前馈网络的素数调制器结构,使调制器的输出序列周期在任何输入值和初始值下都能达到 M^3 , 比传统调制器增大约 $M^2/2$ 倍,解决了已有调制器的输出序列周期短的问题,其中 M 为比 2^{n_0} 小的最大素数, n_0 为调制器中加法器的位数. 提出的调制器还保证了输出小数值能够覆盖 0~1、输出无误差. 仿真结果表明,得益于输出序列周期更长,提出的调制器比已有的调制器更能有效去除输出量化噪声功率谱中的毛刺,噪声整形性能更接近理想调制器.

关键词: Sigma-Delta 调制器; 量化噪声; 功率谱; 前馈网络; 素数

中图分类号: TN74

文献标识码: A

An Optimal Design of Prime Sigma-Delta Modulator Based on Feed Forward

WANG Zhen-dao, RUAN Zhong-zhou[†]

(School of Physics and Electronics, Hunan Univ, Changsha, Hunan 410082, China)

Abstract: As the key module of fractional-N PLL(Phase Locked Loop), the Sigma-Delta modulator can significantly improve the performance of the fractional-N PLL by the way of noise shaping. However, when it comes to the three most important specifications; the output sequence cycle, the range and the error, the now existing modulators cannot improve them at the same time. As a contrast, the proposed novel Sigma-Delta modulator ameliorates the aforementioned three specifications simultaneously by adding a feed forward between two adjacent stages and adjusting the modulus of adders to prime number. Regardless of the input value and initial conditions, the presented modulator guarantees a sequence length of M^3 , which is almost $M^2/2$ times of that in traditional modulator, where M is the largest prime number smaller than 2^{n_0} , and n_0 is the bit width of adders. The simulation results show that, compared with the existing modulators, the proposed modulator can effectively remove the spur in the output spectrum and make it more close to the ideal Sigma-Delta modulator.

Key words: Sigma-Delta modulator; quantized noise; power spectrum; feed forward; prime number

* 收稿日期:2015-06-15

基金项目:湖南省科技计划资助项目(2014FJ3155)

作者简介:王镇道(1974-),男,湖南益阳人,湖南大学副教授,博士

[†] 通讯联系人, E-mail: laoruan@hnu.edu.cn

小数分频器是锁相环 (Phase Locked Loop, PLL) 频率综合器中的关键模块^[1], 它解决了整数分频 PLL 中输出频率精度受限于输入参考频率的问题^[2]. 传统的小数分频器是基于数字累加器, 小数分频值 α 直接决定了累加器的输出 $y[n]$ 的周期, 使 PLL 的输出功率谱在距离中心频率 $\alpha \cdot f_{\text{ref}}$ 处产生小数杂散, 其中 f_{ref} 为 PLL 的输入参考频率^[2]. Sigma-Delta 调制器凭借着优秀的噪声整形性能解决了小数杂散问题, 被广泛地应用于小数分频 PLL 中^[3-5].

然而, 传统的 Sigma-Delta 调制器在某些特定输入下输出序列周期仍然很短, 使调制器的输出量化噪声功率谱存在严重的毛刺, 影响 PLL 输出杂散. 通过对调制器的输入施加抖动可以有效地打乱调制器的输出序列, 达到延长序列周期的效果^[6-7]. 然而, 在施加抖动的同时也引入了抖动噪声, 拉高了调制器的输出噪声底. 针对这个问题, 文献[8]在高阶调制器中添加额外的延迟单元, 并对抖动噪声施加二阶高通滤波器, 从而降低了低频处量化噪声的噪声底, 但该结构使原本为高通的量化噪声传输函数变成了带通^[8]. 文献[9]对多级调制器中第一阶调制器设定奇数初始值来延长序列周期, 但这种方式并不能显著地增长序列周期, 并且即使调制器的阶数增加, 序列周期长度仍然不变. 文献[10]通过设定调制器中加法器的模值为素数, 保证了调制器在任何输入下的序列周期均能达到该素数值, 同样地, 这种结构中仅第一阶调制器起到了延长序列周期的效果, 第二阶及以上的调制器对输出序列周期无任何贡献. 文献[11-12]在传统的一阶调制器上施加了额外的反馈, 使输出序列周期随着调制器阶数的增加呈指数增长, 但该结构的输出小数范围无法覆盖 $0 \sim 1$, 导致 PLL 的输出频率存在死区, 此外, 该结构的输出与设定值之间存在误差, 引起 PLL 输出的频率偏差. 文献[13]在多级调制器之间施加额外的前馈电路, 较大程度上增长了输出序列周期, 然而, 当调制器输入为某些特定的数时, 第一阶调制器输出序列周期很短, 影响了整体的输出序列周期.

针对已有的 Sigma-Delta 调制器存在的这些问题, 本文提出了一种改进的调制器结构, 通过设定每一阶调制器中加法器的模值为素数, 并在相邻阶数调制器之间施加前馈电路, 不仅保证了输出小数范围能覆盖 $0 \sim 1$, 输出不存在误差, 而且使调制器输出序列周期达到 M^3 , 比传统结构增大了约 $M^2/2$, 其中 M 为比 2^{n_0} 小的最大素数, n_0 为调制器中加法

器的位数. 仿真结果表明, 提出的调制器结构能更有效地消除量化噪声功率谱上的毛刺, 噪声整形性能更接近理想调制器.

1 调制器结构

本文提出的调制器结构框图如图 1 所示, 图中左边的虚线框内是模值 M 为素数的一阶 Sigma-Delta 调制器, 即文献[10]中的一阶调制器, 其中 M 为比 2^{n_0} 小的最大素数, n_0 为调制器中加法器的位数. 与文献[10]不同的是, 本文提出的调制器结构在相邻阶次的一阶调制器之间增加了前馈电路, 该前馈网络把每阶调制器的输出与量化误差相加作为下一阶调制器的输入. 右边虚线框内为噪声消除电路. $e_1[n], e_2[n], e_3[n]$ 为 3 个量化器的量化噪声; $y_1[n], y_2[n], y_3[n]$ 为 3 个一阶调制器的输出. 3 个一阶 Sigma-Delta 调制器在 Z 域的传输函数分别为:

$$Y_1(z) = \frac{X(z)}{M} + \frac{(1-z^{-1})}{M} E_1(z); \quad (1)$$

$$Y_2(z) = \frac{Y_1(z) - E_1(z)}{M} + \frac{(1-z^{-1})}{M} E_2(z); \quad (2)$$

$$Y_3(z) = \frac{Y_2(z) - E_2(z)}{M} + \frac{(1-z^{-1})}{M} E_3(z). \quad (3)$$

式中: $E_1[z], E_2[z]$ 和 $E_3[z]$ 分别为 $-e_1[n], -e_2[n]$ 和 $-e_3[n]$ 的 Z 变换.

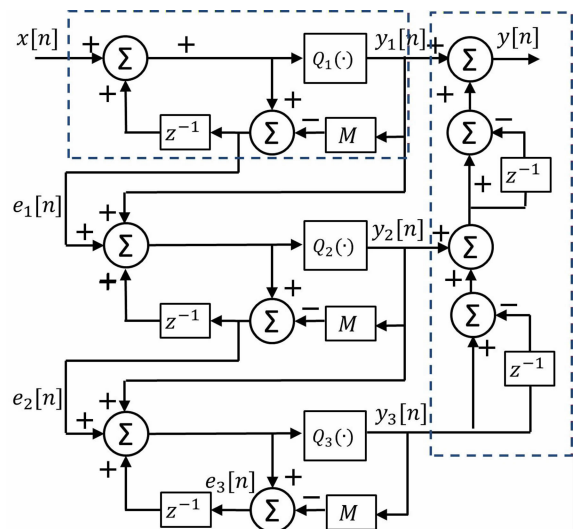


图 1 调制器结构框图

Fig. 1 Structure of proposed Sigma-Delta modulator

噪声消除电路在 Z 域的传输函数为:

$$Y(z) = Y_1(z) + (1 - z^{-1})Y_2(z) + (1 - z^{-1})^2 Y_3(z), \quad (4)$$

最终可以得到:

$$Y(z) = \text{STF}(z) \cdot X(z) + \text{NTF}(z) \cdot E(z), \quad (5)$$

式中:

$$\text{STF}(z) = \frac{1}{M} + \frac{(1 - z^{-1})}{M^2} + \frac{(1 - z^{-1})^2}{M^3}; \quad (6)$$

$$\text{NTF}(z) = (1 - z^{-1})^3; \quad (7)$$

$$E(z) = \frac{E_3(z)}{M} + \frac{E_2(z)}{M^2} + \frac{E_1(z)}{M^3}. \quad (8)$$

从式(6)中可以看出,信号传输函数 $\text{STF}(z)$ 包含了3个部分,分别是全通函数、一阶高通函数和二阶高通函数.由于Sigma-Delta调制器应用于小数分频器时,输入 $x[n]$ 为常数,经过高通函数后得到的值为0,因此 $\text{STF}(z)$ 中仅全通函数 $1/M$ 对调制器的输出有贡献,即 $\text{STF}(z) = 1/M$.

量化噪声传输函数 $\text{NTF}(z)$ 是三阶高通滤波器.把量化噪声 $e_1[n], e_2[n], e_3[n]$ 建模成独立的加性白噪声后,可得到理想情况下输出量化噪声的功率谱密度为:

$$\varphi = \frac{M^2 - 1}{12M^2} \left(1 + \frac{1}{M^2} + \frac{1}{M^4}\right) \left(2 \sin\left(\frac{\pi f_n}{2}\right)\right)^6. \quad (9)$$

其中: f_n 为归一化频率,取值范围为 $0 \sim 1$.

2 调制器性能分析

Sigma-Delta调制器应用于小数分频器时,有3个关键性能需要考虑,分别是:

1)输出小数范围:假设PLL的输出频率为 $\alpha \cdot f_{\text{ref}}$,其中 α 分为整数部分和小数部分.为了使PLL可输出的相邻频率之间差值相等,分频器中的小数分频比必须能够完全覆盖 $0 \sim 1$.假设调制器的模值为 N ,其整数输入范围为 $[0, M]$,其中 M 小于 N ,则调制器输出的小数部分分频比范围为 $[0, (M-1)/N]$,PLL的输出频率 $[(K + (M-1)/N)]f_{\text{ref}}$ 与 $(K+1)f_{\text{ref}}$ 之间的间隔将大于其他频率之间的间隔,其中 K 为任意大于0的整数.因此,若累加器的模值为 N ,则其输入范围需达到 $N-1$.

2)输出误差:为了使PLL的输出频率与设定值一致,要求调制器的输入值与输出小数值之间呈线

性关系^[13].因此调制器输入值为 X 时,输出的小数分频值应为 X/N ,其中 N 为调制器的模值.当输出小数值为 $X/N + \lambda$ 时,则输出频率与设定值相差 λf_{ref} .

3)输出序列周期:采用数字电路实现Sigma-Delta调制器时,调制器等效于一个有限状态机(Finite State Machine, FSM),因此其输出序列周期是一个有限值^[9].假设调制器的输出序列周期为 L ,则量化噪声的功率将会分布在 L 个点上.当 L 的数值很小时,会导致量化噪声输出功率谱出现严重的毛刺.因此,在设计调制器结构时,需要尽可能地延长输出序列周期.

2.1 输出小数范围

在用数字电路实现Sigma-Delta调制器时,需要使用加法器实现高通函数和噪声消除函数^[14].当累加器的输入大于 $2M$ 时,累加器溢出.在本文提出的调制器结构中, $x[n], e_1[n], e_2[n], e_3[n]$ 的数值范围为 $0 \sim M-1$,前馈网络的取值范围是 $0 \sim 1$,因此不存在加法器溢出问题.

表1列出了已有调制器和本文提出的调制器输入范围以及小数覆盖范围的对比,其中假设加法器的位数为 n_0 , N 的取值为 2^{n_0} , M 是比 N 小的最大素数.从表1中可知,HK-MASH结构的小数覆盖范围小于1,因此以HK-MASH结构为小数分频器的PLL输出频率将存在死区,而其他调制器结构的输出小数值均能覆盖 $[0, 1]$.

表1 调制器输入范围对比

Tab. 1 Comparison of input range of modulators

调制器	模值	整数输入范围	小数覆盖范围
传统结构	N	$[0, N-1]$	$[0, 1]$
素数结构 ^[10]	M	$[0, M-1]$	$[0, 1]$
JS-MASH ^[13]	N	$[0, N-1]$	$[0, 1]$
HK-MASH ^[11]	N	$[0, M-1]$	$[0, \frac{M-1}{N}]$
本文结构	M	$[0, M-1]$	$[0, 1]$

2.2 输出误差

在提出的调制器结构中,当输入值 $x[n]$ 为常数 X 时,信号传输函数 $\text{STF}(z)$ 为 $1/M$,得到的输出小数值为 X/M ,因此调制器的输出与输入之间呈线性关系,不存在误差.表2列出了已有调制器和本文提出的调制器的输出误差对比.可以看出,除HK-MASH之外的调制器结构输出误差均为0,而HK-MASH的输出误差随着输入的增大而线性

增大.

表 2 调制器的输出误差对比

Tab. 2 Comparison of output error of modulators

调制器	误差
传统结构	0
素数结构 ^[10]	0
JS-MASH ^[13]	0
HK-MASH ^[11]	$\frac{(N-M)X}{MN}$
本文结构	0

2.3 输出序列周期

本文提出的三阶调制器结构是由 3 个一阶调制器级联得到的,其中一阶调制器的数学模型如图 2 所示.从图 2 中可以得到:

$$e_i[n] = (e_{i-1}[n] + y_{i-1}[n] + s_i[n]) \bmod M. \quad (10)$$

其中 mod 为取余运算.由于 $s_i[n]$ 是 $e_i[n]$ 经过一个延迟单元得到的,因此:

$$s_i[n] = e_i[n-1]. \quad (11)$$

联立等式(10)和(11)可以得到:

$$e_i[n] = (s_i[0] + \sum_{k=0}^n (e_{i-1}[k] + y_{i-1}[k])) \bmod M. \quad (12)$$

因此,对于三阶调制器,得到如下 3 个等式:

$$e_1[n] = (s_1[0] + \sum_{k=0}^n x[k]) \bmod M, \quad (13)$$

$$e_2[n] = (s_2[0] + \sum_{k=0}^n (e_1[k] + y_1[k])) \bmod M, \quad (14)$$

$$e_3[n] = (s_3[0] + \sum_{k=0}^n (e_2[k] + y_2[k])) \bmod M. \quad (15)$$

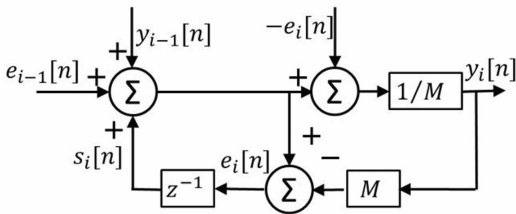


图 2 一阶调制器数学模型

Fig. 2 Mathematical model of first-order modulator

从图 2 中,还可以得出:

$$y_i[n] = \frac{e_{i-1}[n] + y_{i-1}[n] + s_i[n] - e_i[n]}{M}. \quad (16)$$

同样地,把 $s_i[n]$ 用 $e_i[n-1]$ 代入式(16),并对左右两边进行累加,可得到:

$$\sum_{k=0}^n y_i[k] = \frac{\sum_{k=0}^n (e_{i-1}[k] + y_{i-1}[k]) + s_i[0] - e_i[n]}{M}. \quad (17)$$

当 i 取值为 1 和 2 时,分别把等式(13)和(14)代入式(17),可以得到式(18)和(19):

$$\sum_{k=0}^n y_1[k] = \{ (n+1)X + s_1[0] - ((n+1)X + s_1[0]) \bmod M \} / M; \quad (18)$$

$$\sum_{k=0}^n y_2[k] = \{ \sum_{k=0}^n (e_1[k] + y_1[k]) + s_2[0] - (\sum_{k=0}^n (e_1[k] + y_1[k]) + s_2[0]) \bmod M \} / M. \quad (19)$$

对式(13)和(14)的左右两边分别进行求和,得到式(20)和(21):

$$\sum_{k=0}^n e_1[k] = ((n+1)s_1[0] + \frac{(n+1)(n+2)}{2}X) \bmod M; \quad (20)$$

$$\sum_{k=0}^n e_2[k] = ((n+1)s_2[0] + \sum_{k=0}^n \sum_{m=0}^k (e_1[m] + y_1[m])) \bmod M. \quad (21)$$

设调制器的输出序列周期长度为 L ,则对于 $e_3[n]$,等式(22)必然成立.

$$e_3[L] - e_3[0] = 0 \quad (22)$$

通过联立式(18),(19),(20),(21)和(22),可以得到式(23).

$$e_3[L] - e_3[0] = \left(\frac{(A+B) - ((A+B) \bmod M)}{M} + \left(\left(C+D + \frac{A - (A \bmod M)}{M} \right) \bmod M \right) \right) \bmod M. \quad (23)$$

其中:

$$A = Ls_1[0] + \frac{L(L+3)X}{2};$$

$$B = \frac{LX - (LX \bmod M)}{M};$$

$$C = Ls_2[0] + \frac{L(L+3)}{2}s_1[0];$$

$$D = \frac{L(L+1)(L+5)+6L}{6}X.$$

首先假设调制器中累加器的初始值为0,即 $s_1[0], s_2[0]$ 和 $s_3[0]$ 均为0.在文献[10]中已经证明了对于素数结构的一阶调制器其输出序列周期长度为 M .因此,对于本文提出的调制器结构,可假设 $L = K_1M$,且 K_1 不为 M 的整数倍,代入式(23)可得:

$$e_3[L] - e_3[0] = (E + (E \bmod M)) \bmod M. \quad (24)$$

其中:

$$E = \frac{K_1(K_1M+3)}{2}X.$$

由于 X 的取值范围是0到 $M-1$,为了使式(24)等于0,即满足式(22)这个条件, K_1 必须取 M 的整数倍,所以原假设 K_1 不为 M 的整数倍不成立.重新假设 $K_1 = K_2M$,即 $L = K_2M^2$,并代入式(23)可得:

$$e_3[L] - e_3[0] = K_2X \bmod M. \quad (25)$$

同样地,为了满足等式(22), K_2 必须是 M 的整数倍,可取最小值 M .因此当 $s_1[0], s_2[0]$ 和 $s_3[0]$ 均为0时,调制器的输出序列周期长度 $L = M^3$.此外,把 $L = M^3$ 代入式(23)后,可以发现无论 $s_1[0], s_2[0]$ 和 $s_3[0]$ 取何值,都可以使式(22)成立.因此,本文提出的调制器对任意的输入值和累加器初始值,均能保证输出序列周期长度达到 M^3 .

表3列出了已有调制器和本文提出的调制器的输出序列周期对比,传统结构和素数结构的输出序列周期长度都很短,JS-MASH结构的输出序列周期长度的最大值与最小值之间差别较大,其最小值远小于HK-MASH和本文提出的结构的最小值.而

表3 调制器的输出序列周期对比
Tab.3 Comparison of output sequence length of modulators

调制器	模值	最小值	最大值
传统结构	N	4	$2N$
素数结构 ^[10]	M	M	M
JS-MASH ^[13]	N	$2N^2$	N^3
HK-MASH ^[11]	N	M^3	M^3
本文结构	M	M^3	M^3

本文提出的调制器结构和HK-MASH都能保证输出序列周期在任意输入和初始值下均达到 M^3 .

综上所述,在输出序列周期长度方面,只有本文提出的结构和HK-MASH才能保证在任何输入和初始值下均达到一个稳定的、足够长的数值.而其他调制器在某些特定输入时存在输出序列太短问题.但HK-MASH的输出小数范围无法覆盖 $0 \sim 1$,且输出误差随着输入的增大而增大,而本文提出的调制器结构均不存在这些问题.

3 调制器的性能仿真

Sigma-Delta调制器应用于小数分频器时,在特定的带宽内,量化噪声总功率为定值.输出序列周期长度越大,量化噪声功率分布越广泛,输出量化功率谱也越平滑.输出序列周期达到一定数值时,才能有效地消除量化噪声功率谱上的毛刺.

图3是已有调制器和本文提出的调制器的输出功率谱,这些功率谱都是在加法器为9位,输入值为256的情况下得到的.图中的虚线为理想情况下的输出量化噪声功率谱,是通过把量化噪声建模成理想白噪声后,再乘上噪声传输函数得到的.

从图3中可以看出,在传统结构中,倘若不采取任何措施,量化噪声功率谱只有两个毛刺,在设定初始值为奇数后,噪声功率谱得到了较大的改善.同样地,设置调制器的模值为素数也在一定程度上改善了噪声功率谱密度的毛刺问题.然而由于采用这两种方法时,输出序列周期仍然较小,无法有效平滑量化噪声功率谱.施加抖动可有效地解决功率谱上毛刺的问题,但同时也使噪底大大增大.尽管对抖动进行一阶高通整形后,可使噪底降低,但与理想的噪声功率谱仍然相差较远.与前面所述的几种方法相比,JS-MASH结构的调制器在很大程度上减小了功率谱上毛刺的大小,但由于输入值是加法器模值的一半,第一阶调制器的输出序列周期长度仅为2,最终导致JS-MASH的输出序列周期长度仅达到524 288,仍然无法有效地平滑量化噪声功率谱.而本文提出的结构和HK-MASH的输出序列长度都达到了131 872 229,远大于JS-MASH结构及其他结构的输出序列周期长度.从图3(e)和(f)中可以看出,本文提出的结构和HK-MASH都能有效地消除毛刺,达到平滑噪声功率谱的效果,并且二者的效果相当,性能接近理想调制器.然而HK-MASH的输出小数范围无法覆盖 $0 \sim 1$,且存在输出误差问题,而本文的结构中均不存在这些问题.

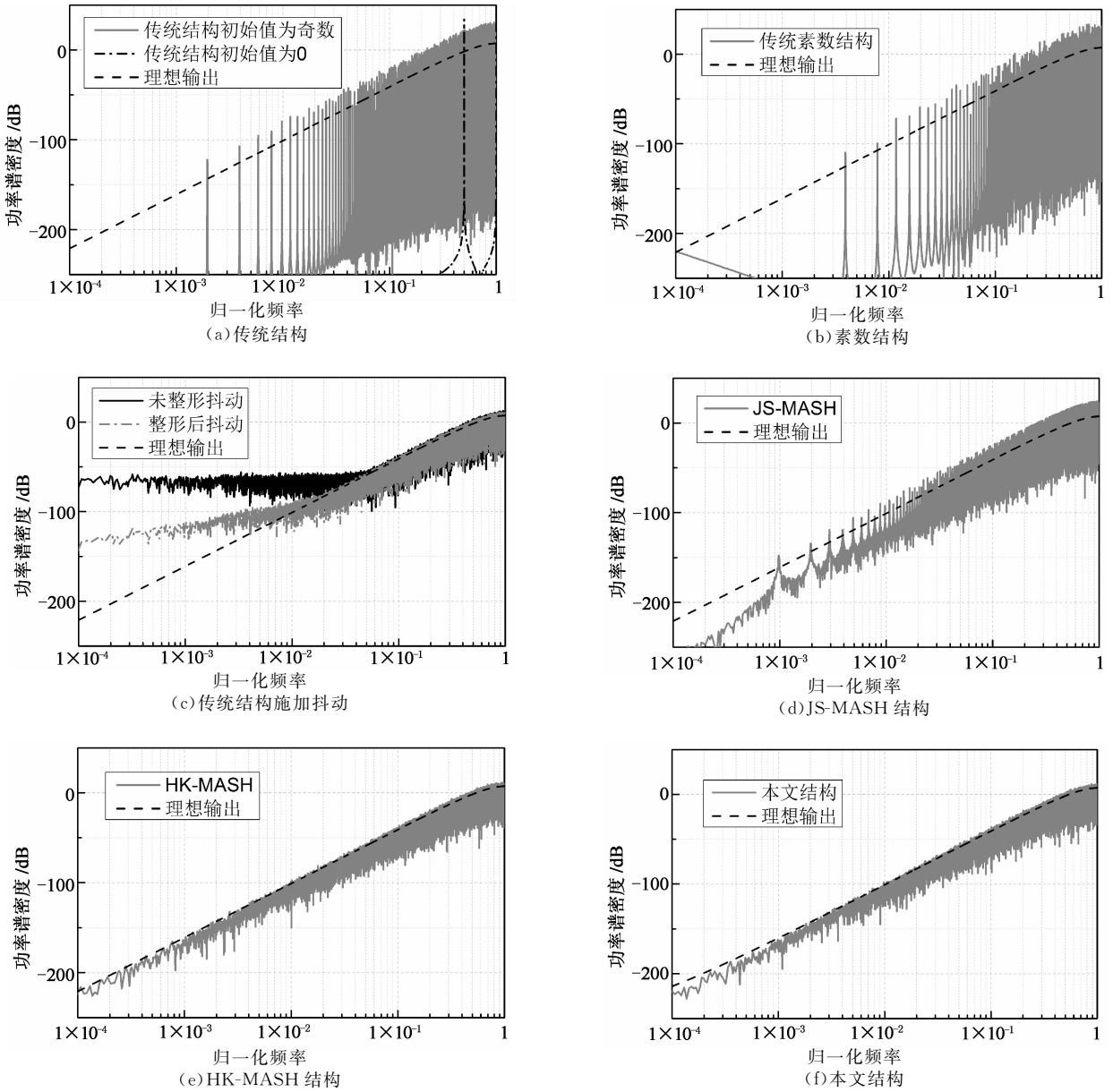


图 3 调制器的输出功率谱
 Fig. 3 Output spectrum of modulators

在 PLL 频率综合器应用中,为了防止小数杂散的产生, Sigma-Delta 调制器必须能够在所有的输入值下都具有平滑、无毛刺的输出功率谱. 图 4 为本文提出的调制器在加法器为 9 位, 模值为 509 的情况下得到所有输入值下的输出量化噪声功率谱. 从图 4 中可以看出, 调制器在所有的输入情况下, 输出噪声功率谱均是无毛刺、平滑的, 满足频率综合器的要求.

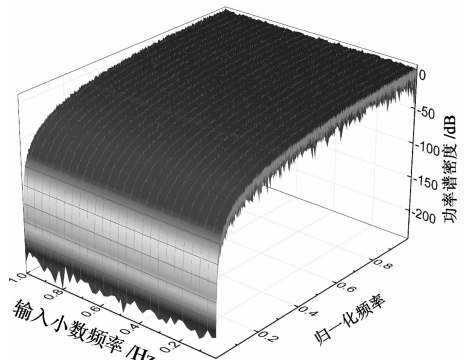


图 4 提出的调制器在所有输入下的输出功率谱
 Fig. 4 Output spectrum of proposed modulator for all DC inputs

4 结 论

针对已有调制器无法同时解决输出序列周期短、输出存在误差、输出小数覆盖范围小的问题,提出了一种新型的调制器结构,该结构采用了素数作为加法器的模,并在相邻阶数调制器之间增加了前馈网络,保证了调制器输出小数范围能够覆盖 $0\sim 1$,且输出值与设定的小数值完全一致,不存在误差。文中还建立了调制器的数学模型,证明了该调制器在任何输入值和任何初始值下的输出序列周期长度都能达到了 M^n ,克服了已有结构输出序列周期短的问题,其中 M 为比 2^n 小的最大素数, n_0 为调制器中加法器的位数。仿真结果表明,得益于输出序列周期更长,提出的调制器比已有的调制器更能有效地去除Sigma-Delta调制器输出量化噪声功率谱中的毛刺,噪声整形效果更接近理想调制器。

参考文献

- [1] 晏敏,徐欢,乔树山,等. 小数分频频率合成器中 Σ - Δ 调制器设计与实现[J]. 湖南大学学报:自然科学版, 2014, 41(10): 91-95.
YAN Min, XU Huan, QIAO Shu-shan, *et al.* Design and implementation of Σ - Δ modulator in fractional-N frequency synthesizer [J]. Journal of Hunan University: Natural Sciences, 2014, 41(10): 91-95. (In Chinese)
- [2] PIN-EN S, PAMARTI S. Fractional-N phase-locked-loop-based frequency synthesis: a tutorial [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2009, 56(12): 881-885.
- [3] VENERUS C, GALTON I. Delta-Sigma FDC based fractional-N PLLS [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(5): 1274-1285.
- [4] KENNEDY M P, HONGJIA M, FITZGIBBON B, *et al.* 0.3-4.3 GHz Frequency-accurate fractional-N frequency synthesizer with integrated VCO and nested mixed-radix digital Δ - Σ modulator-based divider controller [J]. IEEE Journal of Solid-State Circuits, 2014, 49(7): 1595-1605.
- [5] JAEWOOK S, HYUNCHOL S. A 1.9-3.8 GHz $\Delta\Sigma$ fractional-N PLL frequency synthesizer with fast auto-calibration of loop bandwidth and VCO frequency [J]. IEEE Journal of Solid-State Circuits, 2012, 47(3): 665-675.
- [6] GONZALEZ-DIAZ V R, GARCIA-ANDRADE M A, FLORES-VERDAD G E, *et al.* Efficient dithering in MASH Sigma-Delta modulators for fractional frequency synthesizers [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(9): 2394-2403.
- [7] KENNEDY M P, FITZGIBBON B, DOBMEIER K. Spurious tones in digital delta sigma modulators with pseudorandom dither [C]// Proceedings of IEEE International Symposium on the Circuits and Systems (ISCAS). Beijing: IEEE, 2013: 2747-2750.
- [8] FITZGIBBON B, PAMARTI S, KENNEDY M P. A spur-free MASH DDSM with high-order filtered dither [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2011, 58(9): 585-589.
- [9] BORKOWSKI M J, RILEY T A D, HAKKINEN J, *et al.* A practical Σ - Δ modulator design method based on periodical behavior analysis [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2005, 52(10): 626-630.
- [10] HOSSEINI K, KENNEDY M P. Mathematical analysis of a prime modulus quantizer MASH digital Delta-Sigma modulator [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2007, 54(12): 1105-1109.
- [11] HOSSEINI K, KENNEDY M P. Maximum sequence length MASH digital Delta-Sigma modulators [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2007, 54(12): 2628-2638.
- [12] HOSSEINI K, KENNEDY M P. Architectures for maximum-sequence-length digital Delta-Sigma modulators [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2008, 55(11): 1104-1108.
- [13] JINOOK S, IN-CHEOL P. Spur-free MASH Delta-Sigma modulation [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(9): 2426-2437.
- [14] CHIA-YU Y, CHIH-CHUN H. Hardware simplification to the delta path in a MASH 111 Delta-Sigma modulator [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2009, 56(4): 270-274.