

## 电荷泵锁相环系统级功耗估计

魏建军<sup>1†</sup>, 王振愿<sup>1</sup>, 陈付龙<sup>2</sup>, 刘乃安<sup>1</sup>, 李晓辉<sup>1</sup>

(1. 西安电子科技大学 通信工程学院, 陕西 西安 710071;

2. 安徽师范大学 数学计算机科学学院, 安徽 芜湖 241003)

**摘要:**功耗问题是制约集成电路设计的一个重要因素.分析了 CMOS 集成电路中功耗的来源,集成电路设计中功耗设计的目的,估算方法和功耗模型.研究模拟集成电路的特点和相应的功耗估计方法.针对采用环形振荡器的电荷泵锁相环,研究电荷泵锁相环的组成,各模块的工作原理及对功耗的贡献,提出了电荷泵锁相环系统级功耗估计模型.与实际测量结果相比,相对误差小于 22%.该模型易于植入集成电路设计工具,可以对锁相环系统级设计提供功耗方面的参考,提高集成电路的设计质量.

**关键词:**功耗估计;功耗模型;能量转移;电荷泵锁相环

**中图分类号:**TM935

**文献标志码:**A

## Power Estimation of Charge Pump PLL at System Level

WEI Jianjun<sup>1†</sup>, WANG Zhenyuan<sup>1</sup>, CHEN Fulong<sup>2</sup>, LIU Naian<sup>1</sup>, LI Xiaohui<sup>1</sup>

(1. School of Telecommunications Engineering, Xidian University, Xi'an 710071, China;

2. School of Mathematics and Computer Science, Anhui Normal University, Wuhu 241003, China)

**Abstract:** Power is an important factor that restricts the design of Integrated Circuit (IC). The power origin in CMOS IC, the aim of power estimation in IC design, the estimation method, and the power model were analyzed. The characteristic of analog integrated circuit and the corresponding way for power estimation were studied. In order to distribute the power at system level, the construction of charge pump PLL, the principle of every module and the contribution to power were also studied. The power estimation model of charge pump PLL with ring oscillator was proposed at system level. The relative error is less than 22% when compared with the actual measurement. This model is easy to be integrated into design tools and can give guidance on power consumption for PLL at system level to improve the quality of Integrated Circuit design.

**Key words:** power estimation; power model; energy transfer; charge pump PLL

\* 收稿日期:2018-03-02

**基金项目:**国家自然科学基金面上项目(61572036), National Natural Science Foundation of China(61572036); 陕西省自然科学基金基础研究计划面上项目(2017JM6052), Natural Science Foundation of Shan'xi Province(2017JM6052); 中央高校基本科研业务费专项资金资助; 西安电子科技大学新教师创新基金项目(20199176405), New Teacher Foundation for Innovation at Xidian University(20199176405)

**作者简介:**魏建军(1978—),男,北京人,西安电子科技大学副教授,博士

† 通讯联系人, E-mail:jjwei@xidian.edu.cn

集成电路集成度和时钟频率的大幅度提高,导致功耗问题日益突出,功耗已成为许多 ASIC 设计中的关键因素之一。但是,由于满足功耗设计需要的 EDA 软件发展缓慢,设计者不得不在设计后期反复验证以满足功耗特性,延长了产品设计周期,推迟了上市时间。为使功耗设计能融入集成电路设计方法学,使得设计者在考虑延迟、噪声和芯片面积等因素的同时,也能对功耗进行分析权衡,高层次的功耗估计越来越迫切。电荷泵型锁相环频率综合器是一数模混合系统,大量使用在芯片中,提供精确的时钟或载波信号,虽然占用的面积不大,但功耗却很显著,在芯片系统设计阶段对其进行功耗估计,便于芯片的功耗分配。目前数字集成电路存在较为成熟的功耗估计算法,可以从系统级到晶体管级估计功耗。模拟集成电路功耗估计算法研究很少,主要集中在晶体管级,系统级较少。仅有部分文献针对模拟滤波器和 ADC 提出了系统级功耗估计算法,而且限制了滤波器的类型<sup>[1]</sup>,本文从系统级提出一种电荷泵锁相环的功耗估计算法,在系统设计阶段提供功耗方面的参考。

## 1 CMOS 集成电路中的功耗

CMOS 工艺是集成电路领域最普遍采用的工艺,所实现的电路的功耗由动态功耗和静态功耗组成,来源主要有三个方面:开关功耗( $P_{\text{active}}$ )、短路功耗( $P_{\text{short}}$ )和漏电功耗( $P_{\text{leak}}$ )。动态功耗包括开关功耗和短路功耗,静态功耗主要指漏电功耗。

开关功耗是电路的逻辑发生改变时对负载电容的充电/放电而引起的功耗,当 CMOS 电路进行开关操作时,需对输出节点的负载电容进行充电/放电操作,存在有电流流动,需要消耗能量。短路功耗是由于电路中 NMOS 和 PMOS 晶体管同时导通时,从电源端到地的导通电流形成的,功耗的大小与输入信号的上升时间、下降时间、工作频率、负载电容、器件尺寸等有关。优化设计门的尺寸尽可能保证输入、输出信号的上升时间、下降时间相等,短路功耗将小于动态功耗的 15%<sup>[2]</sup>。漏电功耗主要由三部分构成:MOS 晶体管中源、漏扩散区和体区间所形成 pn 结的反向电流  $I_{\text{pn}}$ ;次开启电压下存在的反型电荷形成的亚阈值漏电流  $I_{\text{sub}}$ ;由于薄的栅氧化层导致的栅漏电流  $I_{\text{g}}$ 。在 CMOS 器件中,反向 pn 结偏置电流与

亚阈值漏电流均在 pA 级,在特征尺寸为  $1\ \mu\text{m}$  的情况下,二极管的泄漏电流一般为 1 pA。  $I_{\text{pn}}$  正比于源、漏扩散区的面积,主要由制造工艺决定。 $I_{\text{sub}}$  随着晶体管宽长比的增加而线性增加,随着  $V_{\text{gs}} - V_{\text{T}}$  的减少而呈指数关系下降。与动态功耗相比,静态功耗的影响较小,但随着深亚微米 CMOS 工艺的发展,器件的阈值电压越来越低,漏电流的影响不容忽视,限制了工作电压的进一步降低。

CMOS 电路总功耗的表达式为

$$P_{\text{total}} = P_{\text{active}} + P_{\text{short}} + P_{\text{leak}} = 0.5 \times C_1 \times V_{\text{dd}}^2 \times f + I_{\text{mean}} \times V_{\text{dd}} + I_{\text{leak}} \times V_{\text{dd}} \quad (1)$$

式中: $f$  表示信号的开关活动性,即跃迁概率; $C_1$  为等效负载电容; $I_{\text{mean}}$  为一个周期内的平均短路电流; $I_{\text{leak}}$  表示泄漏电流。

功耗估计的目的是使电路设计者能够在设计初期对不同设计方案的功耗情况做出评估,为设计方案的选择提供依据。功耗估计是分层次的,每一层输入与功耗相关的信息,包括必要的库信息,其输出将被送到相应的功耗分析工具中。具体的估算方法有三种:统计估算、概率估算和基于仿真结果的估算,无论那种算法都是基于功耗模型进行分析的,不同算法计算的准确程度不同。

功耗模型对统计结果的影响有时远大于算法,不同抽象层次提取出来的功耗模型的精度差距非常大,抽象层次越高,功耗模型越不准确,但功耗分析花费的时间越少。系统级功耗分析花费的时间是电路级仿真的几分之一或几十万分之一,但误差往往大于 50%。基于 Spice 的仿真可得到电路晶体管级的功耗模型,但由于电压电流的非线性关系,仿真时间非常长,通常只对规模较小的电路采用,但可作为规模较大电路的验证工具。对高层次的电路或功能单元建立其相应的功耗模型,成为数模混合电路功耗估计需要解决的首要问题之一。

## 2 模拟集成电路的功耗估计

电荷泵型锁相环频率综合器是一个数模混合系统,其中 PFD 和分频器是数字部分,占整个系统的比重较小,而且一般为了高性能的目的,这两部分都采用模拟集成电路的设计方法进行设计,所以此处仅讨论模拟集成电路的功耗估计。

虽然模拟集成电路中不需要太多的晶体管,但

由于模拟集成电路在设计中缺少结构化的设计流程,进行功耗估计时需要考虑的因素较多,如失真、增益、速度和精度等,不同模块的电路结构、参数要求差异很大.模拟集成电路的功耗估计可用一函数 $F$ 来表示,在功能模块具体实现方式不确定的情况下,能够返回该模块在给定的相关输入条件下功耗的估计值,其中包括了要采用的工艺技术信息,即  $P_{估计} = F(\text{设计规则定义})$ .

功耗估计的输入参数是高层次模块的参数,通过对一个特定模块进行分析,在短时间内得到反馈.因为它不需要通过晶体管级的实现或依赖于以前的设计来获得,所以对于开发新的电路架构十分重要.一个模块电路的功耗估计值与该模块实现后最终测量的功耗值相比,若在一级近似范围内,则估计值的精确度就可以接受.只有对于确定的电路结构且实现的细节信息较为详细时,才需要获得精确的功耗值.功耗估计所完成的功能要倾向于当电路性能要求发生改变时,在不同的候选架构间能够提供较为精确的选择,满足高层次电路架构开发的需求<sup>[9]</sup>.

进行模拟集成电路模块的功耗估计有两种方法:自底向上方法和自顶向下方法,这仅是理论上的划分,实际的估计方案将是二者的结合,但比较偏重于其中一种方法,两种方法的区别如图 1 所示.

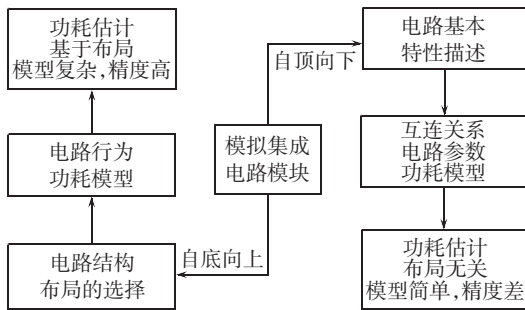


图 1 模拟集成电路功耗估计方法

Fig.1 Power estimation method of analog IC

自底向上方法:电路的结构布局已经确定,确切知道电路图关系.在此基础上建立模拟集成电路模块的行为和功耗模型,然后进行功耗估计.该方法的显著缺点是电路布局已先期被选择好,而这种情况不符合混合电路系统在架构开发中的情况.它的优点是模型较为确切,对实际设计电路的估计结果较精确.

自顶向下方法:对于要构建模块的布局结构没

有任何假定,所有的解决方案都是待定的.这种方法可获得的功耗模型较简单,可植入到系统开发工具内.但由于模拟集成电路的固有特性,在电路中多一个晶体管或少一个晶体管对电路行为或设计规格的影响很大,使得这种方法的缺点也比较突出,即模型的精确度不够高,这也是难以获得一种通用的、独立于电路布局的功耗模型的原因.它的优点是适合于数模混合集成电路系统级设计.

在分析功耗时,有许多参数需要考虑在内.不但速度与精度,而且其它参数如:版图面积、输入电容的大小、信号的摆幅、信号的频率等都是重要的.在讨论功耗问题时,不论采用什么方法进行功耗估计,必须对这些参数做出选择,保留相关的重要参数,去除不需要的或次要的参数.

根据模拟集成电路结构的特点,从能量角度考虑其功耗更为合适,即抛开具体的电路结构而从电路的电源出发来考虑,则可发现任何电路的能耗均来自电源  $V_{dd}$  所提供的能量,从理论上讲,只要测得电流  $I_{dd}(t)$ ,则电路的总功耗可按下式计算:

$$P = V_{dd} \cdot \frac{1}{T} \int_0^T I_{dd}(t) dt \quad (2)$$

积分电流的大小与单位时间转移的电荷量成正比,(2)式可表示为:

$$P = V_{dd} \times I = V_{dd} \times f \times Q \quad (3)$$

功耗是电源电压、信号频率和单位时间转移的电荷量的乘积.在讨论模拟集成电路的功耗时,对于不同的电路模块,考虑在什么频率和有多少电荷被转移.

### 3 锁相环频率综合器的功耗

一般地,电荷泵型锁相环(CPPLL-charge pump phase locked loop)由 5 部分构成,即鉴相鉴频器(PFD)、电荷泵(CP)、环路滤波器(LPF)、压控振荡器(VCO)和分频器  $1/N$  模块,其结构如图 2 所示.相应地,功耗也由这 5 部分组成:

$$P_{tot} = P_{PFD} + P_{CP} + P_{LPF} + P_{VCO} + P_{1/N} \quad (4)$$

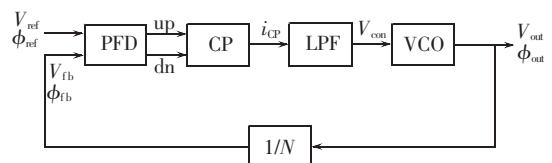


图 2 电荷泵锁相环结构

Fig.2 Architecture of charge pump PLL

VCO 有两种结构:LC 交叉耦合振荡器和环形振荡器.LC 交叉耦合振荡器的能量损失主要来自于寄生电阻,环形振荡器的则来自于对寄生电容的充电和放电,此处采用环形振荡器进行分析.

锁相环频率综合器正常工作时,环路处于锁定状态,PFDD 输入的相位差为零.但为了消除死区,增加了复位路径的延迟,输出窄的、重合的脉冲,同时开启后面的电荷泵,产生从  $V_{dd}$  到地的直流通路,引起能量消耗.由于该脉冲极其窄,远小于参考信号的周期,所引起的功耗可以忽略,即  $P_{CP} \approx 0$ .LPF,一般采用无源滤波器,在锁相环频率综合器锁定时不存在到电源的充电通路,也不存在到地的放电通路,其功耗  $P_{LPF} \approx 0$ .

由于电荷是存储在电路内部的节点电容上,所以

$$P = V_{dd} \times f \times V_{sw} \times C \quad (5)$$

式中: $V_{sw}$  为节点的电压摆幅,对于数字器件 PFDD 和  $1/N$ ,  $V_{sw}$  通常为电源电压,VCO 的  $V_{sw}$  依赖于振荡信号的摆幅,通常小于  $V_{dd}$ ,但在作为时钟时,需要对该信号放大整形为  $V_{dd}$ ,所以可近似为  $V_{dd}$ .

总功耗可表示为下式

$$P_{tot} = V_{dd}^2 \times f_{PFDD} \times C_{PFDD} + V_{dd}^2 \times f_{VCO} \times C_{VCO} + V_{dd}^2 \times f_{1/N} \times C_{1/N} \quad (6)$$

假设分频器的值为  $N$ ,即 VCO 输出信号的频率  $f_{VCO}$  是参考信号频率  $f_{ref}$  的  $N$  倍.PFDD 的动作与参考信号同步,即每个参考信号周期都要进行一次操作,所以  $f_{PFDD} = f_{ref}$ .分频器电路由级联的触发器构成,输入端信号的频率为  $f_{VCO}$ ,输出端信号的频率为  $f_{PFDD}$ ,级联触发器的工作频率可近似为以 2 为系数等比例降低,其平均工作频率可近似为  $(f_{VCO} + f_{ref})/2$ ,即  $(N+1)/2 \times f_{ref}$ .式(6)可表示为

$$P_{tot} = V_{dd}^2 \times f_{ref} \times C_{PFDD} + V_{dd}^2 \times N \times f_{ref} \times C_{VCO} + V_{dd}^2 \times (N+1)/2 \times f_{ref} \times C_{DIV} \quad (7)$$

对于集成电路中的电容,若不进行详细的布局是难以作出预估的,而对于采用自顶向下的估计方法却要求避免与具体的布局相关联,因此,需要可替代电容的参数.电容的大小与所采用工艺的最小沟道长度成正比,对于功耗估计它满足下式:

$$P \propto V_{dd}^2 \times L_{min} \times f \quad (8)$$

式中: $L_{min}$  为所采用工艺的特征尺寸.则

$$P_{PFDD} = \alpha \times L_{min} \times V_{dd}^2 \times f_{ref} \quad (9)$$

$$P_{VCO} = \beta \times L_{min} \times N \times V_{dd}^2 \times f_{ref} \quad (10)$$

$$P_{1/N} = \gamma \times L_{min} \times (N+1)/2 \times V_{dd}^2 \times f_{ref} \quad (11)$$

把式(9)、式(10)和式(11)代入式(7),则

$$P_{tot} = \alpha \times L_{min} \times V_{dd}^2 \times f_{ref} + \beta \times L_{min} \times N \times V_{dd}^2 \times f_{ref} + \gamma \times L_{min} \times (N+1)/2 \times V_{dd}^2 \times f_{ref} \quad (12)$$

为了获得电容值与所用工艺的特征尺寸之间的经验值,在现有文献报道采用环形振荡器的锁相环频率综合器中选取了 7 个不同参考信号频率、不同工艺、不同输出信号频率的锁相环<sup>[4-7]</sup>,对式(12)表示的功耗进行分析拟合,得到参数  $\alpha$ 、 $\beta$  和  $\gamma$  的经验值为  $\alpha = 0.2243$ ,  $\beta = -0.0227$ ,  $\gamma = 0.0891$ .

把这些参数代入式(12),可得锁相环频率综合器功耗的近似表达式为

$$P_{tot} = 0.2243 \times L_{min} \times V_{dd}^2 \times f_{ref} - 0.0227 \times L_{min} \times N \times V_{dd}^2 \times f_{ref} + 0.0891 \times L_{min} \times (N+1)/2 \times V_{dd}^2 \times f_{ref} \quad (13)$$

采用该模型,对近年来公开发表文献中 5 个不同类型的电荷泵型锁相环频率综合器进行功耗估计,其中振荡器都为环形振荡器,结果如表 1 所示.从表中可以得出,最终测试结果与采用本文估计模型得到的估计值相比,相对误差均小于 22%.

表 1 实测功耗与估计功耗

Tab.1 Power estimation and measurement

文献	工作电压 /V	特征尺寸 / $\mu\text{m}$	参考频率 /MHz	输出频率 /MHz	实际功耗 /mW	估计功耗 /mW	相对误差 /%
[8]	1.20	0.650	100	1 800	7.20	6.20	14
[9]	0.80	0.130	100	2 400	6.54	6.60	1
[10]	0.95	0.014	100	800	0.72	0.56	22
[11]	1.00	0.065	50	5 000	9.30	7.98	14
[12]	1.50	0.028	40	5 820	8.20	8.69	-6

虽然在锁相环频率综合器锁定时,电荷泵的功耗很小,但对总功耗还是有所影响.另外,在设计模拟集成电路功能单元时,需要对其提供一定的偏置,也消耗了能量,不同的设计,偏置电路差别很大,其功耗也各不相同,无法包括在统一的功耗估计模型中.这些因素都导致了估计功耗与实测功耗的差异,但这并不削弱功耗估计模型在芯片系统级设计时的指导意义.

在系统设计阶段,对采用环形振荡器的电荷泵型锁相环频率综合器进行功耗估计时,只需提供参考信号的频率 $f_{\text{ref}}$ 、分频因子 $N$ 、电源电压 $V_{\text{dd}}$ 和所采用工艺的特征尺寸 $L_{\text{min}}$ ,模型结构简单,运行时间短,可信度高,易与系统设计的其它工具结合。

## 4 结论

本文针对集成电路系统设计阶段的功耗分配问题,提出电荷泵型锁相环频率综合器的系统级功耗估计模型,该模型能够正确反映电荷泵型锁相环频率综合器内部的电路特性,需要的参数少,结构简单.通过与实测功耗相比,相对误差小于22%,可信度较高,易于植入系统设计工具内,可以对锁相环频率综合器提供功耗方面的参考.本文所提出的模型便于在集成电路系统设计中应用,为低功耗锁相环频率综合器的研究提供了一个实用有效的功耗估计手段。

## 参考文献

- [1] LAUWERS E, GIELEN G. Power estimation methods for analog circuits for architectural exploration of integrated systems [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2002, 10(2):155—162.
- [2] LEE M, LEE C H, PARK C K. Transceiver for wireless power transfer using a cross-coupled oscillator for a wireless on-Wafer test [J]. IEEE Transactions on Instrumentation and Measurement, 2017, 99(8):1—9.
- [3] 王镇道, 伍锡安, 朱小莉. 一种新型低压低功耗伪差分环形压控振荡器设计 [J]. 湖南大学学报(自然科学版), 2017, 44(10): 117—123.
- WANG Z D, WU X A, ZHU X L. Design of a novel low-voltage low-dissipation pseudo differential ring VCO[J]. Journal of Hunan University (Natural Sciences), 2017, 44(10):117—123. (In Chinese)
- [4] JUNG W Y, CHI H C, JEONG C W, *et al.* A 1.2mW 0.02mm<sup>2</sup> 2GHz current-controlled PLL based on a self-biased voltage-to-current converter[C]//2007 ISSCC. 2007:310—312.
- [5] XIAO M X. Low-jitter PLL for UWB [C]//7th International Conference on ASIC. ASICON, 2007:323—326.
- [6] PARK J J, LIU J L F, CARLEY C, *et al.* A 1-V 1.4–2.5GHz charge-pump-less PLL for a phase interpolator based CDR[C]//Custom Integrated Circuits Conference. IEEE, 2007: 281—283.
- [7] CHENG K H, LO Y L, LAI C W, *et al.* A 100MHz–1GHz adaptive bandwidth PLL using TDC technique[C]//14th IEEE International Conference on Electronics, Circuits and Systems. 2007: 1163—1166.
- [8] CHATTOPADHYAY B, KAMATH A S, NAYAK G. A 1.8GHz digital PLL in 65 nm CMOS [C]//International Conference on VLSI Design. 2011:47—51.
- [9] HAN Y, LIANG X, ZHOU H F, *et al.* A 0.8 V low power low phase-noise PLL[J]. Journal of Semiconductors, 2010, 1(8):085009—1—5.
- [10] SHEN K Y J, FAROOQ S F S, FAN Y P, *et al.* A 0.17-to-3.5 mW 0.15-to-5 GHz SoC PLL with 15dB built-in supply noise rejection and self-bandwidth control in 14 nm CMOS[C]//ISSCC2016 Digital PLLs. 2016:330—332.
- [11] HYOJUN K, JINWOO S, HYUNIK K. A 5 GHz 95dBc-reference-spur 9.5 mW digital fractional-N PLL using reference-multiplied time-to-digital converter and reference-spur cancellation in 65 nm CMOS[C]//IEEE ISSCC Dig Tech Paper. 2015: 1—3.
- [12] GAO X, BURG O, WANG H S. A 2.7-to-4.3 GHz, 0.16 ps-Jitter, -246.8dB-FOM, digital fractional-N sampling PLL in 28 nmCMOS [C]//ISSCC 2016 High-performance Wireless. 2016: 174—176.