

一种结合施密特频率选择器的 DLL 型 90°移相器

梁承托^{1,2†}, 梁利平¹, 王志君¹

(1.中国科学院微电子研究所,北京 100029;2.中国科学院大学,北京 100029)

摘要:为了应对传统延时锁相环(Delay locked loop, DLL)的谐波锁定问题,提出一种结合施密特频率选择器的 DLL 型 90°移相器.采用施密特频率选择器和双数控延时线结构,有效提高该移相器的锁定频率范围.另外,提出的施密特频率选择器能有效抑制输入时钟频率噪声,使移相器稳定工作.在 SMIC 55 nm CMOS 工艺下流片,工作电压 1.2 V,版图有效面积为 0.131 mm².测试结果表明,提出的移相器在 250 MHz 到 800 MHz 频率范围内稳定工作;800 MHz 时,功耗为 5.98 mW,且 90°相移时钟的抖动峰峰值和均方根值分别是 25.9 ps 和 2.8 ps.

关键词:延时锁相环;频率选择器;数控延时线;90°相移

中图分类号: TN495

文献标志码: A

A DLL-based 90° Phase-shifter with Schmitt Frequency Selector Scheme

LIANG Chengtuo^{1,2†}, LIANG Liping¹, WANG Zhijun¹

(1. Institute of Microelectronics of Chinese Academy, Beijing 100029, China;

2. University of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In order to deal with the problem of harmonic lock in the traditional Delay Locked Loop (DLL), a DLL-based 90° phase-shifter with a Schmitt Frequency Selector (SFS) was proposed. The SFS and dual delay lines were employed to achieve wider locking frequency range. In addition, the proposed SFS exhibits high capability of frequency noise suppression, which improves the stability of the proposed phase-shifter. The proposed phase-shifter, fabricated in SMIC 55 nm CMOS technology, occupies an active area of 0.131 mm² and utilizes a 1.2 V supply voltage. The test results show that the proposed phase-shifter has an operating frequency ranging from 250 to 800 MHz and consumes 5.98 mW at 800 MHz. Furthermore, the measured peak-to-peak and root-mean-square (rms) jitters of 90° phase-shifted clock are 25.9 and 2.8 ps, respectively.

Key words: Delay Locked Loop (DLL); frequency selector; digitally controlled delay line; 90° phase shift

DLL 广泛应用于时钟同步, 时钟/数据恢复, 以及 SDRAM 接口等电路系统中^[1-4]. 与锁相环(Phase locked loop, PLL)^[5-6] 相比, DLL 结构相对较为简单,

稳定性好, 锁定速度快; 特别是数字 DLL, 还具有面积小, 易集成以及容易实现工艺、电压、温度(Process-voltage-temperature, PVT)跟随调节等优秀特

* 收稿日期: 2018-06-06

基金项目: 国家自然科学基金资助项目(61471354), National Natural Science Foundation of China(61471354)

作者简介: 梁承托(1990—), 男, 广西南宁人, 中国科学院微电子研究所博士研究生

† 通讯联系人, E-mail: liangchengtuo@ime.ac.cn

性^[7-8],因此受到广泛的关注和研究.

DLL 常见的阻塞锁定和谐波锁定现象限制了其锁定频率范围^[9].在已有关于提高 DLL 锁定频率范围的研究中,文献[10]的 DLL 采用了可重置数控延时线,使二元搜索算法的单次搜索能在一个时钟周期内完成,既缩短了锁定时间又避免了谐波锁定的问题,但其对延时线的最小延时有一定的要求,最高锁定频率因此受到限制.文献[3]的 DLL 采用了谐波锁定检测电路和自复位电路来消除谐波锁定和阻塞锁定的问题,但当 DLL 出现上述错误锁定时,需强制调整延时线或复位鉴相器.文献[1]中的 DLL 通过启动信号和启动电路给压控延时线和鉴相器强制建立恰当的初始状态以实现正确锁定,但无法实时消除工作过程中因大范围频率切换或者其他突发噪声导致的谐波锁定问题.另外,文献[3]中的 DLL 通过检测多路相移时钟的相位以抑制谐波锁定,但是实现该功能的逻辑电路较复杂,缺乏一定的设计灵活性.总之,上述文献提出的方法为进一步解决 DLL 谐波锁定问题奠定了基础.

本文设计了一款结合施密特频率选择器的 DLL 型 90°移相器,采用施密特频率选择器和双延时线结构,避免了谐波锁定问题并有效提高移相器的锁定频率范围.由于施密特频率选择器可根据输入时钟的频率自动选择恰当的延时线实现锁定,该移相器锁定过程中,不需要强制干预或者重启延时线及鉴相器.借鉴斯密特触发器原理,提出的斯密特频率选择器能有效抑制频率噪声,使整个移相器系统稳定工作.移相器采用 SMIC 55 nm CMOS 工艺的数字标准单元库进行设计,且全部由标准单元构成,易集成到大规模数字电路系统中.

1 延时锁相环结构及锁定条件分析

图 1 所示是一种传统 DLL 结构,由鉴相器(Phase Detector, PD),分频电路(Frequency Divider, FDIV),有限状态机(Finite State Machine, FSM)以及延时线(Delay Line, DL)构成;PD 可由一个简单的 D 触发器构成;而 DL 由两级相同的延时线单元(Delay Line Unit, DL-U)构成.常见的 DLL 通常锁定在 360°相移上,并截取 360°相移的 1/4 可生成 90°相移时钟.为消除阻塞锁定并缩短延时线,图 1 所示的 DLL 将锁定在 180°相移上,并截取 180°相移的 1/2 亦可生成 90°相移时钟 CKD90.该 DLL 的工作原理如下:当反馈时钟 CKD180 与输入时钟 CK_{IN} 的初始相差

小于 180°时,鉴相器 PD 的输出 q 为 1,FSM 根据 q 的值不断调整控制码 C[n:0]以增加 DL 的延时,直到 CKD180 与 CK_{IN} 的相差大于 180°(小于 360°)使 q 变为 0.然后,FSM 又将减小 DL 的延时,最终 CKD180 与 CK_{IN} 锁定在 180°的相差上;当 CKD180 与 CK_{IN} 的初始相差大于 180°且小于 360°时,锁定过程类似,调节方向相反.

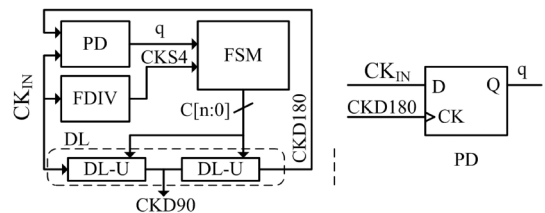


图 1 传统 DLL 结构图

Fig.1 Block diagram of traditional DLL

图 1 所示的 DLL 锁定在 180°相差上,不存在阻塞锁定的问题,因而不要求 DL 的初始延时大于半个时钟周期.由于时钟信号具有周期性,如图 1 右侧所示的鉴相器只能检测出反馈时钟 CKD180 的上升沿和输入时钟 CK_{IN} 的下降沿的相位关系,但是不能检测出 CKD180 是否延时 CK_{IN} 半个时钟周期.如果不对 DL 的延时加以限制,那么很可能发生谐波锁定(Harmonic Lock)的问题.如图 2(b)所示,假如 CKD180 与 CK_{IN} 的初始相差大于 T_{CKIN} 小于 1.5T_{CKIN} 时(T_{CKIN} 为 CK_{IN} 的时钟周期),DLL 将会锁定在(360°+180°)而不是 180°,导致谐波锁定问题.可见,为避免谐波锁定,需对 DLL 的锁定范围以及 DL 的延时加以约束.

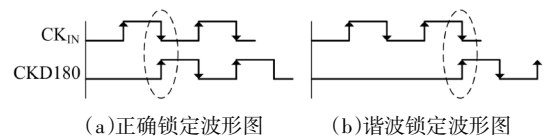


图 2 传统 DLL 波形图

Fig.2 Waveform diagrams of traditional DLL

假设 DLL 锁定范围为 $[T_{CKMIN}, T_{CKMAX}]$,下面推导 CK_{IN} 的时钟周期从 T_{CKMAX} 切换到 T_{CKMIN} 时 DLL 不出现谐波锁定的条件.时钟周期为 T_{CKMAX} 时,DLL 锁定在 T_{CKMAX}/2,此时 DL 的延时为 T_{CKMAX}/2;时钟周期从 T_{CKMAX} 切换到 T_{CKMIN} 时,DL 初始延时为 T_{CKMAX}/2,为避免谐波锁定,需满足下式

$$T_{CKMAX}/2 < T_{CKMIN} \tag{1}$$

所以有

$$T_{CKMAX} < 2T_{CKMIN} \tag{2}$$

另外,为使 DLL 能在 $[T_{CKMIN}, T_{CKMAX}]$ 范围内都能锁定在 180° 上,对延时线 DL 的约束如下

$$T_{DLMIN} < T_{CKMIN}/2 \quad (3)$$

$$T_{DLMAX} > T_{CKMAX}/2 \quad (4)$$

式中: T_{DLMAX}, T_{DLMIN} 分别表示 DL 的最大最小延时.由式(1)可知,由于谐波锁定问题的存在,图 1 所示的传统 DLL 结构的锁定频率范围被限制在 $[F_{CKMIN}, 2F_{CKMIN}]$ 的范围内,其中 $F_{CKMIN} = 1/T_{CKMAX}$.

2 结合施密特频率选择器的 DLL 型 90° 移相器

提出的结合施密特频率选择器的 DLL 型 90° 移相器如图 3 所示,由 DLL 和 90° 相移时钟生成电路组成;而 DLL 主要由鉴相器 (PD),分频电路 (FDIV),低频有限状态机(Low Frequency Finite State Machine, LFFSM),高频有限状态机(High Frequency Finite State Machine, HFFSM),译码器 (Decoder1, Decoder2),低频延时线(Low Frequency Delay Line, LFDL),高频延时线 (High Frequency Delay Line, HF DL),选择器(MUX0)以及本文提出的施密特型频率选择器(SFS)组成; 90° 相移时钟生成电路则由寄存器组 (regsI, regsII),低频延时线单元(Low Frequency Delay Line Unit, LFDL-U),高频延时线单元(High Frequency Delay Line Unit, HF DL-U),选择器(MUX1, MUX2)构成;LFDL (HF DL)由两级相同的 LFDL-U (HF DL-U)串联而成.

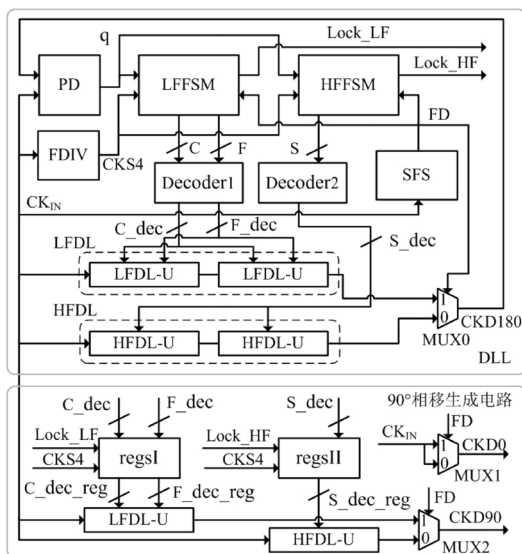


图 3 提出的 DLL 型 90° 移相器结构图

Fig.3 Architecture of proposed DLL-supported 90° phase-shifter

为提高 DLL 的锁定频率范围,引入 SFS 模块和双延时线结构 (LFDL 和 HF DL),LFDL 和 HF DL 分别由各自的有限状态机 LFFSM 和 HFFSM 控制.由前一节可知单延时线 DLL 的锁定范围为 $[F_{CKMIN}, 2F_{CKMIN}]$. 在本设计中,LFDL 支持的锁定范围为 $[250 \text{ MHz}, 500 \text{ MHz}]$,而 HF DL 支持的锁定范围为 $[400 \text{ MHz}, 800 \text{ MHz}]$.由 SFS 模块检测输入时钟频率并通过选择器(MUX0)实时切换 LFDL 和 HF DL 工作,以使得 DLL 在 $[250 \text{ MHz}, 500 \text{ MHz}] \cup [400 \text{ MHz}, 800 \text{ MHz}]$ 的频率范围内都能正确锁定.时钟频率较低时,SFS 模块使能 LFFSM 和 LFDL 模块工作,LFFSM 模块根据 PD 的结果 q 调节控制码 C, F 以调整 LFDL 的延时,直到反馈时钟 CKD180 和输入时钟 CK_{IN} 的相差锁定在 180° 上,同时锁定信号 Lock_LF 被置 1,完成锁定;类似的,时钟频率较高时,SFS 模块使能 HFFSM 和 HF DL 模块工作实现高频锁定.

LFDL-U 和 HF DL-U 的延时分别是 LFDL 和 HF DL 的 $1/2$,DLL 锁定后,将译码后的控制码 (C_dec, F_dec 和 S_dec)分别存入寄存器组 regsI 和 regsII 中,用于控制 LFDL-U 和 HF DL-U 的延时.根据时钟频率的高低,SFS 通过 MUX2 选择恰当的延时线单元进行输出,生成 90° 相移时钟 CKD90.为减小 MUX2 引入的延时误差,输入时钟 CK_{IN} 也经过一个选择器(MUX1)生成 0° 相移时钟 CKD0,从而得到两路相差为 90° 的时钟 CKD0 和 CKD90.

图 4 是移相器的锁定流程图,主要包括高低频切换,延时反馈调节,以及锁定和失锁的判定等过程,下面基于图 4 详细介绍移相器的工作过程.

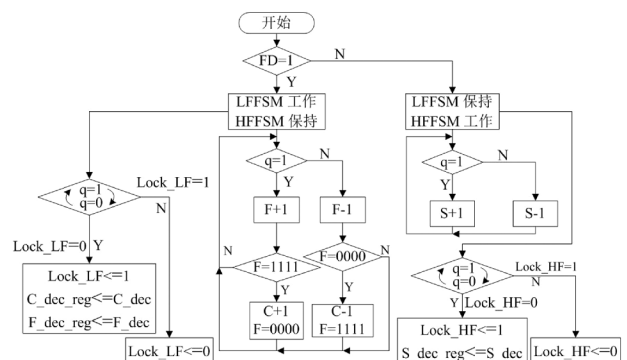


图 4 锁定过程流程

Fig.4 Locking process flow

当时钟频率较低时,SFS 的输出 FD 为 1,触发 LFFSM 工作并使 HFFSM 保持当前状态.根据 PD 的鉴相结果 q ,LFFSM 模块通过控制码 C, F 反馈调节 LFDL 的延时.当 $q=1$ 时,表明反馈时钟 CKD180 和

输入时钟 CK_{IN} 的相差小于 180° , LFFSM 模块将控制码 F 加 1 以增大 LFDL 的延时, F 和 C 分别是 LFDL 的微调 and 粗调控制码, LFDL 的十六个微调步长等于一个粗调步长, 所以当 F 加到二进制 1111 时, 会向 C 进位, 同时 F 重置成 0000; 相反, 当 $q=0$ 时, 表明反馈时钟 CK_{D180} 和输入时钟 CK_{IN} 的相差大于 180° , LFFSM 模块将控制码 F 减 1 以减小 LFDL 的延时, F 减到二进制 0000 时, 会向 C 借位, 同时 F 重置成 1111. 然后, PD 继续比较 CK_{D180} 和 CK_{IN} 的相差并输出新的 q 值, LFFSM 模块再次根据新的 q 值调节 F (加 1 或者减 1). 此反馈调节不断循环, 当反馈时钟 CK_{D180} 和输入时钟 CK_{IN} 的相差足够接近 180° 时, 就会出现 F 加 1 该相差大于 180° 而 F 减 1 该相差小于 180° 的现象; 此时, q 会在 0 和 1 之间不断跳变. 状态机检测到该跳变时, 将锁定信号 $Lock_LF$ 置 1, 并把 LFDL 的控制信号 (C_dec 和 F_dec) 存入寄存器 (regs1) 中以控制 LFDL-U 产生 90° 相移时钟, 并由 SFS 通过选择器 (MUX2) 将其选择输出. 锁定后, 当状态机检测不到 q 在 0 和 1 之间跳变时, 就会判定 DLL 失锁并将 $Lock_LF$ 置 0. 因 DLL 一直处在动态调节的状态, 失锁后, 能够重新锁定. 当时钟频率较高时, SFS 的输出 FD 为 0, 从而触发 HFFSM 工作并使 LFFSM 保持, 而延时线则由 LFDL 切换到 HFDL, 锁定过程与低频时类似, 只是高频延时线只有微调控制码 S , 不再赘述.

3 关键模块电路设计

3.1 施密特频率选择器

频率选择器检测输入时钟的频率, 并根据时钟频率高低输出不同的值. 为抑制时钟频率噪声, 提出一种如图 5 所示的施密特型频率选择器 (SFS), 该电路主要由延时各异的延时线 (Delay Line), 选择器, D 触发器, 一个三输入同或门以及使能或门构成. 单阈值频率 (阈值频率定义为输出 FD 发生状态跳转时的输入时钟频率) 即 $EN=0$ 时, SFS 的工作原理如下: 触发器 DFF_S 的 Q 输出端经反相器接回到其 D 输入端, 因此 DFF_S 的 Q_S 端在每个时钟上升沿到来时都会发生状态跳转, Q_S 端的信号值经过延时路径 P_2, P_1, P_0 传到触发器 $DFF_2 \sim DFF_0$ 的 D 输入端. 在下一个时钟上升沿到来时, $DFF_2 \sim DFF_0$ 同时将其 D 输入端的值 $D[2:0]$ 采样并输出到各自的 Q 端, 输出 $Q[2:0]$. 假设路径 P_2, P_1, P_0 的延时分别为 $T_{P2}, T_{P1},$

T_{P0} , 当 $EN = 0$ 时, T_{P2}, T_{P1}, T_{P0} 的大小关系为 $T_{P2} = 2T_D, T_{P1} = T_D, T_{P1} \gg T_{P0} = T_H$. 引入 $T_{P0} = T_H$ 只是为了满足 DFF_S 和 DFF_0 保持时间 (hold time) 的时序要求. 当 CK_{IN} 的时钟周期 T_{CKIN} 大于 P_2 的延时 T_{P2} 时, 触发级寄存器 DFF_S 和采样级 $DFF_2 \sim DFF_0$ 之间不存在时序违例, $DFF_2 \sim DFF_0$ 采样到的值 $Q[2:0]$ 完全一致; 而当时钟周期 T_{CKIN} 小于 $P_2 (P_1)$ 的延时 $T_{P2} (T_{P1})$ 且大于 P_0 的延时 T_{P0} 时, 触发级寄存器 DFF_S 和采样级 $DFF_2 (DFF_2 \sim DFF_1)$ 存在建立时间 (setup time) 的时序违例, 因此 $Q[2:0]$ 不完全一致. 三输入同或门用于比较 $Q[2:0]$ 是否完全一致, 当 $Q[2:0]$ 完全一致时, 其输出 1, 否则输出 0. 所以, 当 $T_{CKIN} > T_{P2}$ 时, $FD=1$; 当 $T_{P0} < T_{CKIN} < T_{P2}$ 时, $FD = 0$. 因此 SFS 实现了对输入时钟的频率检测功能.

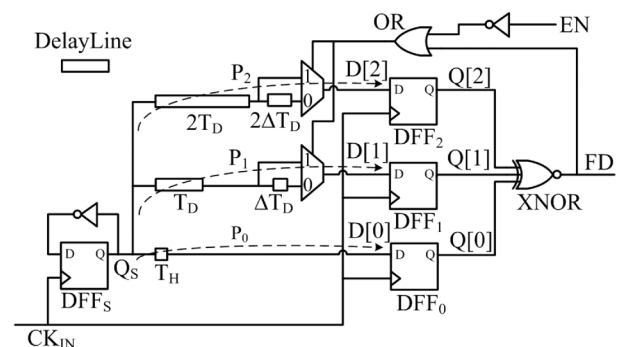


图 5 施密特频率选择器结构图

Fig.5 Block diagram of Schmitt frequency selector

因为施密特型频率选择器输出取决于 CK_{IN} 的时钟周期 T_{CKIN} 与 T_{P2} 的关系, 所以定义阈值频率 $F_{TH} = 1/T_{P2}$. 当 $EN = 0$ 时, $F_{TH} = 1/(2T_D)$, 令 $F_{TH2} = 1/(2T_D)$, 如图 6(a) $EN = 0$ 时所示, 时钟频率由于噪声原因在阈值频率 F_{TH2} 上下波动时, SFS 的输出 FD 在 0 和 1 之间跳变, 极不稳定. 借鉴施密特触发器的原理, 利用输出反馈调节阈值频率, 消除了上述 FD 不稳定现象. 如图 5 所示, $EN = 1$ 时, FD 可通过选择器调整 T_{P2} 和 T_{P1} 的值. 当 FD 为 1 时, 阈值频率 $F_{TH} = 1/T_{P2} = 1/(2T_D)$; 当 FD 变为 0 时, 阈值频率被调整为 $F_{TH} = 1/T_{P2} = 1/(2T_D + 2\Delta T_D)$. 令 $F_{TH1} = 1/(2T_D + 2\Delta T_D)$, $F_{TH2} = 1/(2T_D)$, 可得 SFS 的传输特性曲线如图 6(b) 下侧所示, 输出由 1 跳变到 0 的阈值频率为 F_{TH2} , 跳变到 0 后阈值频率调整为 F_{TH1} , 所以频率在 F_{TH2} 上下波动时, 不会再造成输出的不稳定 (如图 6(a) $EN = 1$ 时所示).

当时钟频率从较低值增加到 F_{TH2} 时, 移相器工作的延时线将从 LFDL 切换到 HFDL, 因此 F_{TH2} 需要

同时处在 LFDL 和 HFDL 的锁定频率范围内, 以确保在接近 F_{TH2} 的频率点上, DLL 也能正确锁定; 同理, F_{TH1} 也需要同时处在 LFDL 和 HFDL 的锁定频率范围内, 因此 LFDL 和 HFDL 支持的锁定频率范围需要有一定的重叠区域. 如图 6(b) 上侧所示, LFDL 支持的锁定频率范围 $[250 \text{ MHz}, 500 \text{ MHz}]$ 需覆盖 $[F_{MIN}, F_{TH2}]$, 而 HFDL 支持的锁定范围 $[400 \text{ MHz}, 800 \text{ MHz}]$ 则需要覆盖 $[F_{TH1}, F_{MAX}]$. 因此 SFS 的频率参数设定如下, F_{MIN} 为 250 MHz , F_{TH2} 为 480 MHz , F_{TH1} 为 420 MHz , F_{MAX} 为 800 MHz .

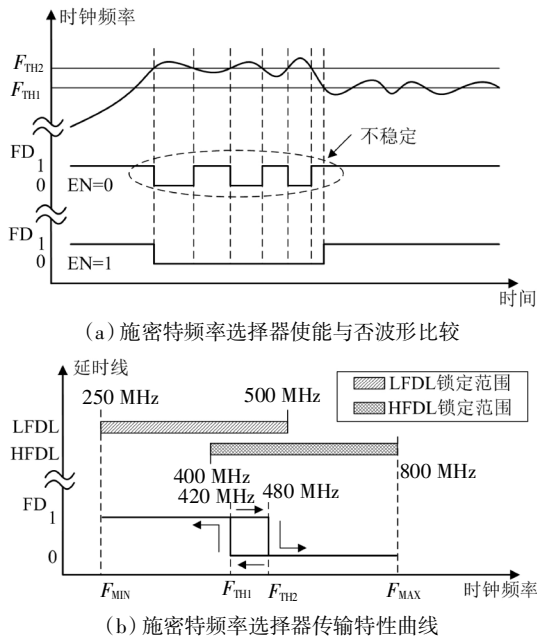


图 6 施密特频率选择器波形图
Fig.6 Waveform diagram of Schmitt frequency selector

3.2 延时线单元

低频延时线单元 (LFDL-U) 的结构如图 7(a) 所示, 由粗调和微调两个部分组成; 通过控制信号 $C_dec[7:0]$ 和 $F_dec[15:0]$ 分别使能粗调和微调三态门 TBUF 阵列中的某个三态门导通实现延时调节. 微调步长是一个由两级反相器构成的缓冲器 (BUF) 的延时, 而粗调步长是微调步长的 16 倍.

高频延时线单元 (HFDL-U) 的结构如图 7(b) 所示, 是对文献[11]中延时线结构的改进. 时钟信号的延时量受控制码 $S_dec[63:0]$ 控制. 与文献[11]相比, 在每个延时单元 (delay unit) 中引入一个四输入与非门 5, 使其多增加了两条延时路径 (即与非门 2, 5, 6 和与非门 3, 5, 6). 以前两级为例, 当 $S_dec [7:0]=0000 0001$ 时, CK_{IN} 信号通过第一级的与非门 1, 5, 6 (假设该延时路径的延时为 t_1); 当 $S_dec[7:0]=0000 0010$ 时, CK_{IN} 信号通过第一级的与非门 2, 5, 6 (假

设该延时路径的延时为 t_2); 当 $S_dec [7:0]=0000 0100$ 时, CK_{IN} 信号通过第一级的与非门 3, 5, 6 (假设该延时路径的延时为 t_3); 当 $S_dec [7:0]=0001 1000$ 时, CK_{IN} 信号通过第一级的与非门 4, 第二级的与非门 1, 5, 6 和第一级的与非门 6 (假设该延时路径的延时为 t_4); 剩余的延时调节可以此类推. t_4 和 t_1 相比, 增加了第一级与非门 4 和第二级与非门 6 的延时, 即 $t_4 = t_1 + 2t_{NAND}$, 其中 $2t_{NAND}$ 为第一级与非门 4 和第二级与非门 6 的延时之和. 通过调节与非门 1, 2, 3 的负载 (插入 dummy) 使得 $t_2 = t_1 + 2t_{NAND}/3$, $t_3 = t_2 + 2t_{NAND}/3$, $t_4 = t_3 + 2t_{NAND}/3$. 因此延时单元的调节步长为 $2t_{NAND}/3$, 相比文献[11], 调节精度可提高 3 倍.

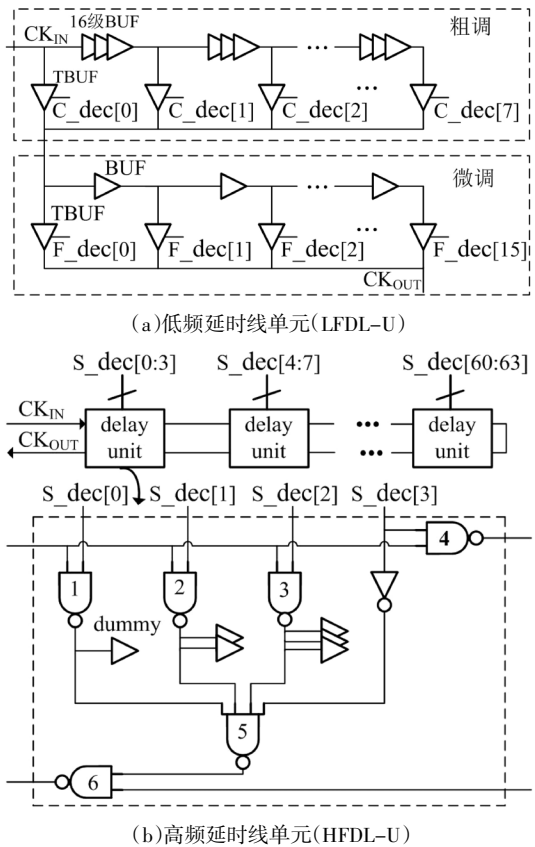


图 7 延时线单元

Fig.7 Delay line unit

4 仿真与测试结果

提出的 DLL 型 90° 移相器在 SMIC 55 nm CMOS 工艺下流片, 芯片照片如图 8 所示. 整个芯片面积 (包括 I/O 单元) 为 $1.3 \text{ mm} \times 1 \text{ mm}$, 核心面积为 $0.537 \text{ mm} \times 0.244 \text{ mm}$. 芯片有 0° 和 90° 两路相移时钟输出. 供电电压为 1.2 V , 800 MHz 时, 功耗约为 5.98 mW .

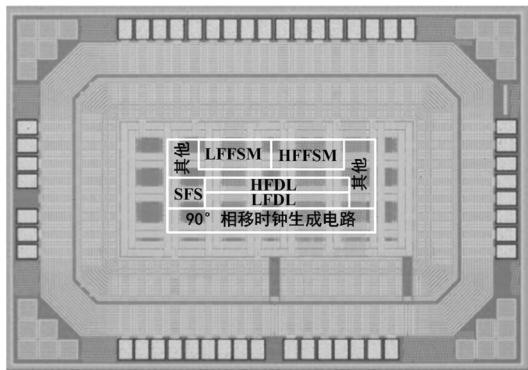


图 8 芯片照片
Fig.8 Die photo

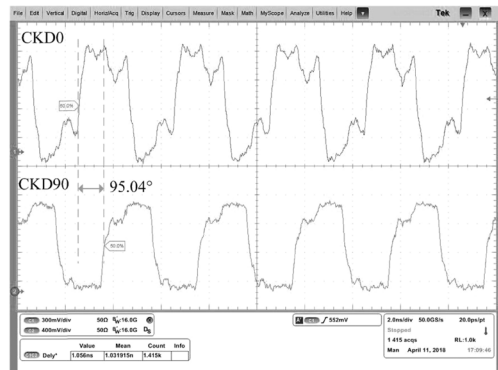


图 10 250 MHz 时 90°相差输出时钟
Fig.10 The 90°phase-shifted output clock at 250 MHz

施加给施密特频率选择器 (SFS) 的时钟信号 CK_N 从 250 MHz 切换到 480 MHz, 再切换回 250 MHz, 并在 480 MHz 时添加 $\pm 5\%$ 的频率噪声, 得到如图 9 所示的仿真结果. 为了验证施密特频率选择器的频率噪声抑制功能, 图 9 给出了使能信号 EN 在 0 和 1 两种情况下的仿真波形. 未使能多阈值频率功能 (EN=0) 时, 480 MHz 条件下, 受频率噪声的影响, 输出会在 0 和 1 之间不断跳变, 极不稳定; 而使能多阈值频率功能 (EN=1) 后, 即使在 480 MHz 时有 $\pm 5\%$ 的频率噪声, 时钟信号从 250 MHz 切换到 480 MHz 时, SFS 的输出从 1 稳定切换到 0, 并保持稳定的 0 值. 可见 SFS 能有效抑制时钟频率噪声并具有稳定的输出.

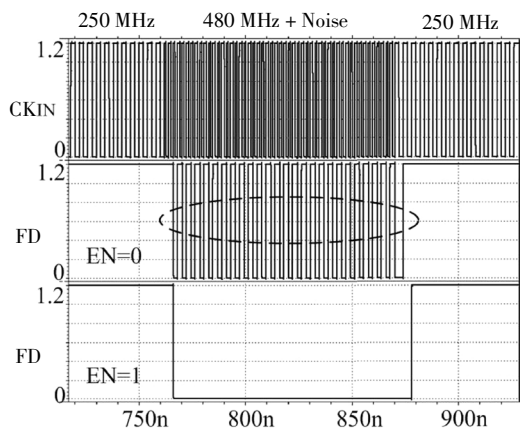


图 9 施密特频率选择器仿真结果
Fig.9 Simulation results of Schmitt frequency selector

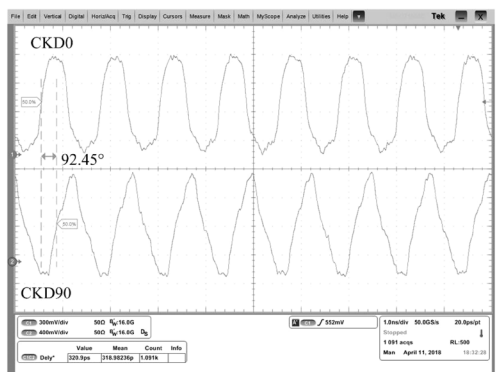


图 11 800 MHz 时 90°相差输出时钟
Fig.11 The 90°phase-shifted output clock at 800 MHz

移相器的测试结果如图 10 至图 13 所示. 图 10 是 250 MHz 时, 移相器的输出波形, 两路输出时钟相差为 95.04° , 误差为 5.6%. 图 11 给出了 800 MHz 时的输出结果, 移相器的两路输出时钟相差为 92.45° , 误差为 2.72%.

图 12 给出了 250 MHz 时, 90°相移时钟的眼图, 该时钟的抖动峰峰值 (p-p jitters) 和均方根值 (rms jitters) 分别为 37.8 ps 和 5.4 ps; 图 13 给出了 800 MHz 时, 90°相移时钟的眼图, 该时钟的抖动峰峰值 (p-p jitters) 和均方根值 (rms jitters) 分别为 25.9 ps 和 2.8 ps.

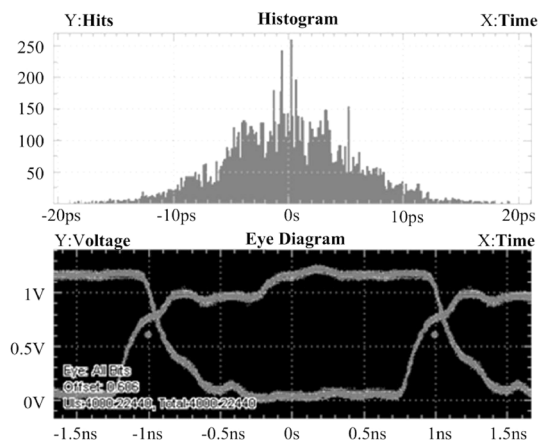


图 12 250 MHz 时 90°相移时钟眼图
Fig.12 Eye diagram of 90°phase-shifted output clock at 250 MHz

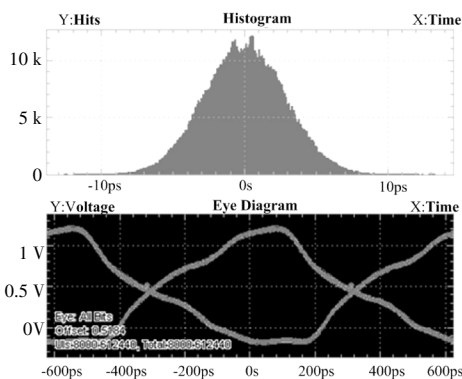


图 13 800 MHz 时 90°相移时钟眼图

Fig.13 Eye diagram of 90°phase-shifted output clock at 800 MHz

图 12 和图 13 所示的眼图有些不平滑,主要原因是芯片输出管脚与示波器的测试通道之间存在信号反射;另外,信号通路之间的寄生电阻、电容、电感造成的信号串扰也会导致眼图不平滑.这种时钟信号眼图的不平滑,在实际应用中可能会对系统可靠性有一定的影响.幸运的是,数字信号分逻辑 0 和逻辑 1 信号,是再生信号(逻辑 0 由电源地电平生成,逻辑 1 由电源高电平生成),有一定的抗干扰能力.在应用电路的 90°相移时钟输入端可加多级反相器对该时钟信号进行数字信号再生,可有效改善时钟信号质量,降低信号在片外通路反射和串扰对系统可靠性的影响.另外,在实际应用中也可进行阻抗匹配网络设计,从而有效减小信号反射,避免信号不平滑,改善信号传输质量.

提出的结合施密特频率选择器 DLL 型 90°移相器的性能总结如表 1 所示,并与近年发表的文献作比较.得益于施密特频率选择器和双延时线结构,移相器的锁定范围可达到 250 MHz 至 800 MHz,较文献[4]提升了 83%;而且,锁定频率远高于文献[3].提出的移相器面积和功耗稍大,主要原因是提出的 DLL 型 90°移相器包含双状态机和双延时线结构.

表 1 参考文献与本文移相器性能对比

Tab.1 Performance comparison

参数	文献[3]	文献[4]	本文
工艺	130 nm	45 nm	55 nm
电压/V	1.8	1.1	1.2
锁定范围/MHz	20~135	500~800	250~800
时钟抖动 (p-p/rms)	192/NA ps @ 100 MHz	12.9/1.95 ps @ 800 MHz	25.9/2.8 ps @ 800 MHz
面积/mm ²	0.023	0.003 4	0.131
功耗/mW	2.2 mW @ 130 MHz	1.32 mw @ 800 MHz	5.98 mW @ 800 MHz

5 结论

本文分析了受谐波锁定约束时,传统单延时线 DLL 结构的正确锁定频率范围.采用施密特频率选择器和双延时线结构,将 DLL 型 90°移相器的锁定频率范围从单延时线结构的 250~500 MHz 以及 400~800 MHz 拓宽为 250~800 MHz,提高了 37.5%.而且,本设计全部采用 SMIC 55 nm CMOS 工艺的数字标准单元库实现并成功流片,所以该移相器支持大规模数字电路自动化设计流程,易集成到大规模数字电路系统中.

参考文献

- [1] CHUANG C N, LIU S I. A 20-MHz to 3-GHz wide-range multiphase delay-locked loop [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2009, 56(11): 850-854.
- [2] KAZEMINIA S, MOWLOODI S S, HADIDI K. Wide-range 16-phases DLL based on improved dead-zone phase detector and reduced gain charge pump [C]// Iranian Conference on Electrical Engineering (ICEE). Shahid Beheshti University: IEEE, 2014: 133-138.
- [3] MOON Y H, KONG I S, RYU Y S, et al. A 2.2-mW 20-135MHz false-lock-free DLL for display interface in 0.15 m CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(8): 554-558.
- [4] JUNG D J, RYU K, PARK J H, et al. All-digital 90° phase-shift DLL with dithering jitter suppression scheme [J]. IEEE Transactions on Very Large Scale intergration (VLSI) Systems, 2016, 24(3): 1015-1021.
- [5] NG H J, FISCHER A, FEGER R, et al. A DLL-supported low phase noise fractional-N PLL with a wideband VCO and highly linear frequency ramp generator [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(12): 554-558.
- [6] 姚亚峰, 孙金傲, 霍兴华, 等. 一种结合高精度 TDC 的快速全数字锁相环 [J]. 湖南大学学报(自然科学版), 2017, 44(8): 131-136.
- [7] YAO Y F, SUN J A, HUO X H, et al. A fast all digital phase-locked loop with high precision TDC [J]. Journal of Hunan University (Natural Sciences), 2017, 44(8): 131-136. (In Chinese)
- [8] 上官利青, 刘伯安. 用于频率综合器的延时锁相环的设计 [J]. 微电子学, 2007, 37(1): 72-75.
- [9] SHANGGUAN L Q, LIU B A. Design of a delay locked loop for frequency synthesizer [J]. Microelectronics, 2007, 37(1): 72-75. (In Chinese)
- [10] YAO C Y, HO Y H, CHIU Y Y, et al. Designing a SAR-based all-digital delay-locked loop with constant acquisition cycles using a resettable delay line [J]. IEEE Transactions on Very Large Scale intergration (VLSI) Systems, 2015, 23(3): 567-574.
- [11] 李军. 应用于手机 DDR 控制芯片的延迟锁相环设计 [D]. 上海: 上海交通大学微电子学院, 2010: 60-62.
- [12] LI J. An analog DLL for mobile DDR controller applications [D]. Shanghai: School of Microelectronics, Shanghai Jiao Tong University, 2010: 60-62. (In Chinese)
- [13] HUANG K, CAI Z K, CHEN X, et al. A harmonic-free all digital delay-locked loop using an improved fast-locking successive approximation register-controlled scheme [J]. IEICE Transactions Electron, 2009, E92-C(12): 1541-1544.
- [14] AN Y J, JUNG D H, RYU K, et al. An energy-efficient all-digital time-domain-based CMOS temperature sensor for SoC thermal management [J]. IEEE Transactions on Very Large Scale intergration (VLSI) Systems, 2015, 23(8): 1508-1517.