

基于 90 nm SOI CMOS 工艺的 24 GHz 信号发生器

夏庆贞^{1,2}, 李东泽^{1,2}, 常虎东¹, 孙兵¹, 刘洪刚^{1†}

(1. 中国科学院微电子研究所 高频高压器件与电路研发中心, 北京 100029;

2. 中国科学院大学, 北京 100029)

摘要: SOI CMOS 工艺具有高的截止频率和良好的温度稳定性, 能够满足微波毫米波雷达收发芯片在多种应用场景下的使用要求. 采用 90 nm SOI CMOS 工艺, 设计一种 A 类无输出阻抗匹配网络 Stacked-FET 功率放大器, 改善了功率放大器的饱和输出功率和可靠性. 基于此功率放大器设计并实现了一款 24 GHz 信号发生器电路. 通过电磁场仿真分析研究了 Dummy 金属对片上螺旋电感性能的影响. 经流片加工测试, 结果表明, 该信号发生器电路能够输出 22.2~24.7 GHz 的信号, 平均输出功率为 8.83 dBm, 峰值输出功率为 10.5 dBm. 在偏 1 MHz 和 10 MHz 处压控振荡器的相位噪声分别为 -91 dBc/Hz 和 -123 dBc/Hz. 芯片面积为 1.4 mm × 1.4 mm.

关键词: SOI CMOS; 功率放大器; 信号发生器

中图分类号: TN432

文献标志码: A

24 GHz Signal Generator Based on 90 nm SOI CMOS Technology

XIA Qingzhen^{1,2}, LI Dongze^{1,2}, CHANG Hudong¹, SUN Bing¹, LIU Honggang^{1†}

(1. High-Frequency High-Voltage Device and Integrated Circuits R&D Center, Institute of Microelectronics Chinese Academy of Sciences, Beijing 100029, China;

2. University of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: SOI CMOS technologies feature high cut-off frequencies and superior temperature stability, which can meet different kinds of application requirements for microwave and millimeter wave radar transceivers. A class-A Stacked-FET power amplifier using 90 nm SOI CMOS technology was designed with output matching network omitted. The saturated output power and reliability of power amplifier were improved. A 24 GHz signal generator was designed based on this power amplifier. Influences of Dummy filled in semiconductor process on the performance of spiral inductor were studied and analyzed using electromagnetic simulations. The circuit was fabricated and tested. Measured results indicated that this chip can transmit a signal operating at 22.2~24.7 GHz with an average output power of 8.83 dBm and a peak output power of 10.5 dBm. The phase noise of the Voltage Controlled Oscillator(VCO) at 1 MHz offset and 10 MHz offset was -91 dBc/Hz and -123 dBc/Hz, respectively. The area of the entire chip was 1.4 mm × 1.4 mm.

Key words: Silicon-On-Insulator Complementary Metal Oxide Semiconductor (SOI CMOS); power amplifiers; signal generators

* 收稿日期:2019-09-25

基金项目: 国家重点研发计划资助项目(2016YFA0202304, 2016YFA0201903), National Key Research and Development Program of China (2016YFA0202304, 2016YFA0201903); 国家自然科学基金资助项目(61674168, 61504165), National Natural Science Foundation of China (61674168, 61504165); 中国科学院微电子研究所微电子器件与集成重点实验室开放项目, Opening Project of Key Laboratory of Microelectronics Devices and Integrated Technology, Institute of Microelectronics, Chinese Academy of Sciences

作者简介: 夏庆贞(1991—), 男, 山东泰安人, 中国科学院微电子研究所博士研究生

† 通讯联系人, E-mail: liuhonggang@ime.ac.cn

信号发生器是微波与毫米波雷达系统中的重要部件^[1]。近几年,随着微波毫米波雷达传感器应用需求的增长,低成本与高性能雷达收发芯片的设计与实现逐渐成为研究热点。随着半导体工艺技术的发展,场效应晶体管的特征尺寸不断缩小,器件的截止频率不断提高,基于 CMOS 工艺的单片微波集成电路(Monolithic Microwave Integrated Circuit, MMIC)为高集成度射频芯片的实现提供了解决方案^[2-3]。Gitae 等人^[4]采用 0.13 μm CMOS 工艺设计了一款 24 GHz 发射芯片,输出功率为 -0.56 dBm。Tan 等人^[5]采用 90 nm CMOS 工艺设计 24 GHz 发射芯片时,在螺旋电感的底部加入接地屏蔽层来抑制衬底串扰,电感的品质因子(Quality Factor, Q)为 14.2,输出功率为 1.34~9.6 dBm。传统 Bulk Si CMOS 工艺衬底的电阻率较低(大概 $10 \Omega \cdot \text{cm}$),衬底损耗比较严重,难以设计出高 Q 的无源器件。与相同技术节点的 Bulk Si CMOS 工艺相比,SOI CMOS 工艺具有更高的截止频率、更低的衬底损耗和衬底串扰、良好的温度稳定性。因此,SOI CMOS 工艺非常适合应用于雷达收发芯片领域。2017 年,Shopov 等人^[6]采用 45 nm SOI CMOS 工艺实现了一款 60 GHz 低功耗雷达收发芯片,输出功率为 -7 dBm,可用于高精度距离探测和速度探测。

本文基于 90 nm SOI CMOS 工艺,通过设计一种无输出阻抗匹配网络 Stacked-FET 功率放大器(Power Amplifier, PA),提高输出功率。通过底层空置 Dummy 金属的方法改善阻抗匹配网络和谐振网络中螺旋电感的 Q 值,减小无源器件的损耗,实现一款具有高输出功率的 24 GHz 信号发生器电路。

1 电路分析与设计

1.1 24 GHz 信号发生器的电路结构

在 24 GHz 信号发射系统中,通常由一个压控振荡器(Voltage Controlled Oscillator, VCO)产生基频振荡信号,并通过 PA 将信号放大到需要的功率水平。

如图 1 所示,所设计的信号发生器包括一个 24 GHz VCO 和两个 24 GHz 频段的 PA 单元,PA 中的匹配网络采用共面波导(Coplanar Wave Guide, CPW)传输线进行设计。在 VCO 与 PA 之间插入 LC 匹配网络以改善模块电路之间的功率传输效率。基于低损耗高频印刷电路板(Printed Circuit Board, PCB)的微带环形混合网络已广泛用于微波系统中差分信号的合成,因此,在本设计中,不再设计额外的片上巴

伦器件,以实现更小的芯片面积。

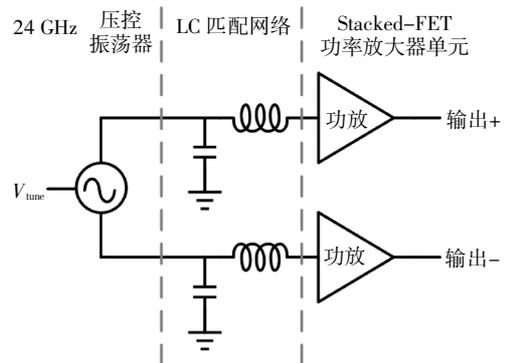


图 1 信号发生器电路的结构

Fig.1 Architecture of signal generator

1.2 模块电路的设计

1.2.1 Stacked-FET PA 分析与设计

CMOS 工艺中的 MOSFET 器件具有较小的击穿电压,较大的膝点电压(V_{knee})以及较小的电流密度,这些特点限制了 CMOS PA 的饱和输出功率(P_{sat})。功率合成技术与 Stacked-FET 技术是目前两种常用的提高 P_{sat} 的方法。与功率合成技术相比,基于 Stacked-FET 技术的 PA 所需芯片面积较小,并且易于实现宽带阻抗匹配,进行宽带 PA 设计。

共源共栅结构的 PA 具有较高增益,然而共源共栅 PA 的共栅管与共源管的漏源电压摆幅分配不均衡,特别是在放大器的输出功率接近或达到饱和时,共栅管的漏源电压摆幅大于共源管的漏源电压摆幅,极易使共栅管击穿,从而降低电路的可靠性^[7]。

图 2 为 Dabag 等人^[8]提出的一种 Stacked-FET PA 的设计方法,首先计算单个晶体管的最佳负载阻抗(R_{opt}),通过调整 Stacked 晶体管栅极所接电容,将晶体管漏极的负载阻抗调整为 R_{opt} 的倍数,使每个晶体管具有相同的漏源电压摆幅,提高 PA 的 P_{sat} 以及在高功率工作状态下的可靠性。

偏置在 A 类工作模式的 PA,具有较高的线性度和 P_{sat} 。对于偏置在 A 类的晶体管,可以基于负载线的方法计算其最佳负载阻抗,表达式如下:

$$R_{\text{opt}} = \frac{V_{\text{max}} - V_{\text{knee}}}{I_{\text{max}}} \quad (1)$$

式中: V_{max} 为最大漏源电压摆幅; I_{max} 为最大漏极电流。基于 Load-line 的方法计算出来的最佳负载阻抗只有实部,没有虚部。单个晶体管的最大输出功率的计算表达式如下:

$$P_{\text{out}} = \frac{1}{8} (V_{\text{max}} - V_{\text{knee}}) I_{\text{max}} \quad (2)$$

短距离民用微波与毫米波雷达传感器对输出功

率的要求通常在 10 dBm 左右,基于 Stacked-FET 结构的 PA 可以达到这一功率要求.

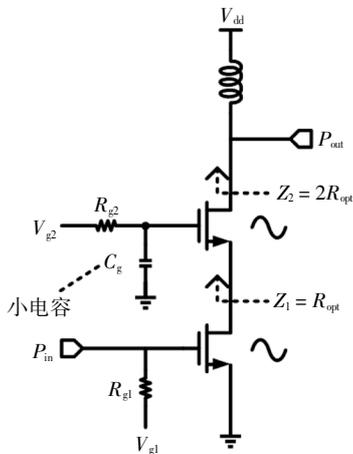


图 2 Stacked-FET 结构

Fig.2 Stacked-FET architecture

基于上述理论分析,在满足输出功率需求的前提下,通过优化晶体管的尺寸调整功率输出级单个晶体管的 R_{opt} ,使 n -Stacked-FET 结构的漏端负载阻抗 nR_{opt} 接近标准 50Ω 负载阻抗,进而省略输出阻抗匹配网络,进行无输出阻抗匹配网络 PA 的设计,该设计方法有利于实现较小的芯片面积.

基于上述原理,设计单端两级 2-Stacked-FET PA,图 3 为 2-Stacked-FET PA 的原理图,其中输出级采用 2-Stacked-FET 结构,由两个晶体管堆叠而成;驱动级采用单个晶体管的共源结构.

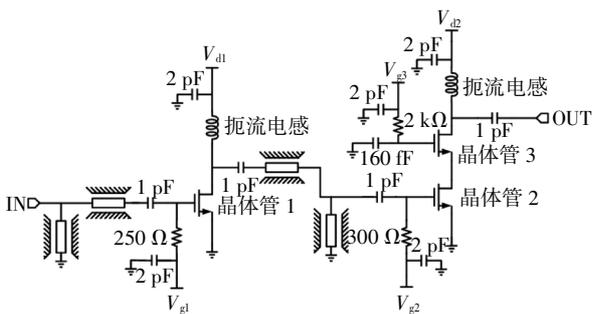


图 3 2-Stacked-FET PA 的原理图

Fig.3 Schematic of 2-Stacked-FET PA

通过仿真可知,当功率输出级单个晶体管的栅宽为 $100 \mu\text{m}$ 时,用公式(1)计算出来的最佳负载阻抗为 26.25Ω ,晶体管 M3 的漏极所需负载阻抗为 52.5Ω ,该阻抗值非常接近标准的 50Ω 负载阻抗,故无需设计输出阻抗匹配网络.

将晶体管 M3 的漏极负载阻抗设置为 50Ω ,通过调节 Stacked 晶体管 M3 的栅极所接电容,使功率

输出级中从 Stacked 晶体管的源极看上去的阻抗为单个晶体的最佳负载阻抗 26.25Ω ,进而使功率输出级的漏源摆幅电压均衡分配在共源管与 Stacked 晶体管上.通过调节 Stacked 管的栅极所接电容来调节共源晶体管负载阻抗 Z_1 的原理图如图 4 所示.

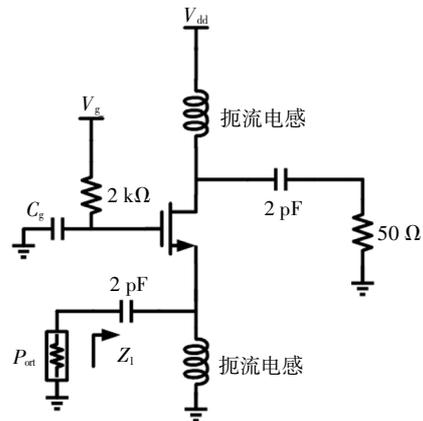


图 4 用于调节共源晶体管负载阻抗的原理图

Fig.4 Schematic for tuning the load impedance of common-source MOSFET

采用 CPW 传输线设计输入阻抗匹配网络和级间阻抗匹配网络,保证驱动级的输出 1 dB 压缩点比功率级的输入 1 dB 压缩点大 3 dB,防止 PA 提前进入压缩状态;通过减小各级输入晶体管栅极所接偏置电阻来提高 PA 的稳定性.

1.2.2 24 GHz class-A 交叉耦合压控振荡器

LC 交叉耦合结构的 VCO 易于起振,广泛应用于微波与毫米波频率源的设计^[9].通常, class-C 结构的 VCO 可以实现较低的相位噪声,但是需要在一个核心振荡管的栅极与另一个核心振荡管的漏极之间引入隔直电容,以给核心振荡管的栅极提供额外的偏置电压.隔直电容加在反馈环路上,使 VCO 加电后达到稳定振荡状态的时间变长,不利于低功耗短脉冲多普勒雷达的实现^[10]. class-A 结构的 VCO,其核心振荡管的栅极与漏极通过交叉耦合结构直接相连,可以实现较短的起振时间.如图 5 所示,本设计中的 24 GHz 基频振荡 VCO 采用 class-A 结构.

VCO 包含一对交叉耦合的核心振荡晶体管 (NC-MOS, PC-MOS),一个 LC 谐振网络,由共源连接的 M1 和 M2 构成的用于隔离负载牵引效应的缓冲放大器,以及调节晶体管偏置状态的可变电流源 I. 振荡频率计算公式为:

$$f_{osc} = \frac{1}{2\pi\sqrt{L(C_{fix} + C_{var})}} \quad (3)$$

式中: L 为谐振网络中的电感; C_{fix} 为包括各种寄生电容在内的固定电容值; C_{var} 为变容管的容值. 由公式 (3) 可知,核心振荡晶体管尺寸确定并兼顾谐振网络 Q 值的情况下,所用电感的感值越小,可采用的变容管越大,则调谐范围越宽. 因此,在本设计中,采用直径为 $90 \mu\text{m}$ 的单圈对称式螺旋电感来获得较大的调谐范围.

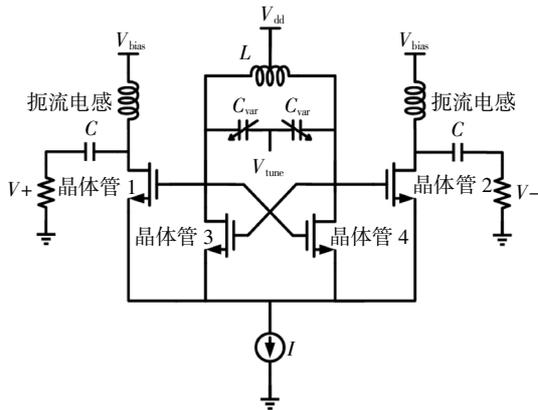


图 5 24 GHz VCO 的原理图
Fig.5 Schematic of 24 GHz VCO

根据交叉耦合 VCO 的理论,大的晶体管可以提供更大的跨导,使 VCO 更容易起振. 但是,由于大的晶体管会引入更大的 C_{fix} ,压缩可用调谐范围. 因此,在确定核心振荡晶体管的尺寸时,需要对上述指标折衷考虑. 优化后核心振荡晶体管的栅宽为 $50 \mu\text{m}$.

1.3 Dummy 金属对螺旋电感的影响

在 CMOS 工艺加工过程中,通常需要在芯片版图上放置一些与电路无关的器件或金属单元,以减小加工过程中的工艺偏差,称为 Dummy. 其中,放置金属单元的目的是增大芯片上走线比较稀疏的区域的金属密度以达到一定的要求,防止后续加工过程中出现刻蚀不足或刻蚀过度的情况. 在 MMIC 中, Dummy 金属对微波电路元器件影响较大,如增大寄生电容、引入额外的损耗、降低电感的品质因子等^[1]. 螺旋电感是 LC 匹配网络与 LC 谐振网络中用到的关键元件,其 Q 值对 MMIC 的性能有重要影响.

图 6 为底层不带 Dummy 的螺旋电感和底层带 Dummy 的螺旋电感. 图 7 为对上述螺旋电感进行仿真得到的电感值和 Q 值. 在高频频段,底层带 Dummy 的螺旋电感比底层不带 Dummy 的螺旋电感的电感值更小, Q 值更低. 在 24 GHz 处,电感值减小了 3 pH, Q 值减小了 4.92. 螺旋电感 Q 值变差,在 VCO 设

计中会降低 LC 谐振网络的 Q 值,进而恶化相位噪声. 在 LC 匹配网络设计中则会引入较大的插入损耗.

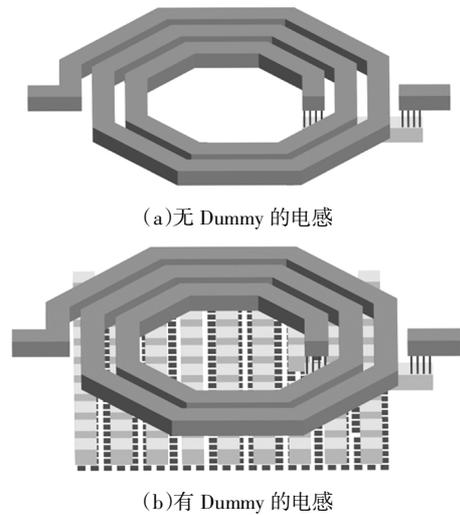


图 6 无 Dummy 的电感和有 Dummy 的电感

Fig.6 Inductor without dummy fills and inductor with dummy fills

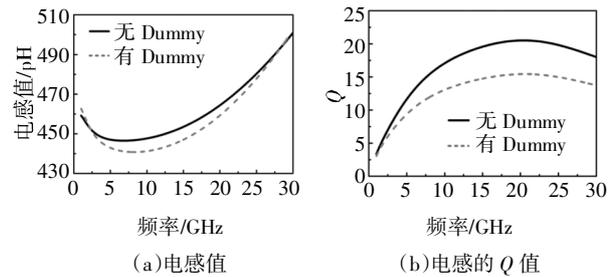


图 7 电感的仿真结果
Fig.7 Simulated results of the inductors

在本文设计中,为了获得尽可能准确的仿真模型和尽可能高的电路性能,LC 匹配网络与 LC 谐振网络中螺旋电感的正下方区域不填充 Dummy. 手动绘制自定义的电感单元,并通过电磁场仿真确定电感的感值.

2 模块电路的仿真

对于微波与毫米波频段的集成电路,仅仅通过后仿提参无法得到准确的寄生参数及各种耦合效应. 本文在仿真过程中,无源元件(电感、电容、传输线),采用 Momentum 软件进行电磁场仿真,得到多端口 S 参数文件,与晶体管、电阻等其他元件的 Spice 模型进行联合仿真.

图 8 为 PA 的小信号 S 参数 ($S_{11}, S_{22}, S_{12}, S_{21}$),输出功率 (P_{out}) 以及功率附加效率 (Power Added Effi-

ciency, PAE)的仿真结果. S_{11} 在 23~27 GHz 范围内小于 -10 dB, 表明输入端口实现了良好的阻抗匹配, 输出端口未加阻抗匹配网络; S_{22} 在 20~30 GHz 频段上大概为 -4 dB. 该 PA 可以提供 14.6 dB 的小信号增益 (Gain), P_{out} 达到 13.4 dBm, PAE 的峰值为 17.6%.

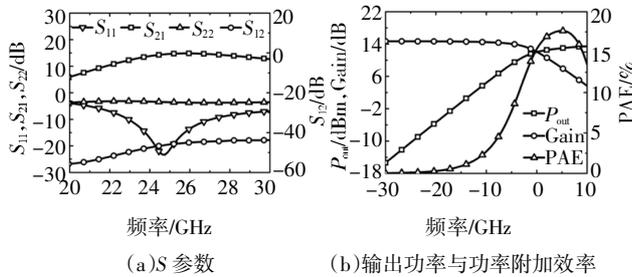


图 8 PA 的仿真结果

Fig.8 Simulated results of the PA

图 9 为仿真得到的 VCO 输出信号的频谱和相位噪声. 由图 9 可知, VCO 能够稳定振荡在 24 GHz 频段, 在偏 1 MHz 处的相位噪声为 -89 dBc/Hz, 在偏 10 MHz 处的相位噪声为 -115 dBc/Hz. VCO 相位噪声在偏 100 kHz 与 1 MHz 之间存在一个拐点, 在拐点之前, 相位噪声下降较为平缓, 分析可能是由 SOI CMOS 工艺中 Floating body 类型 MOSFET 器件所特有的浮体效应引起的低频 Lorentzian 噪声导致的^[12].

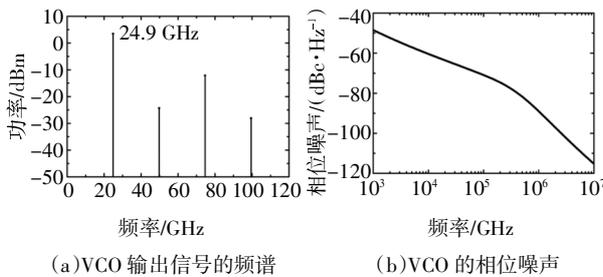


图 9 VCO 仿真结果

Fig.9 Simulated results of the VCO

PA 的输入端口匹配到 50 Ω 的源阻抗, 因此, 在进行信号发生器芯片设计时, 需要在 VCO 与 PA 之间插入阻抗匹配网络, 提高功率传输效率.

本文采用 L 形 LC 结构的阻抗匹配网络, 图 10 为在 VCO 的输出端口加 LC 匹配网络和不加 LC 匹配网络 S_{11} 和 S_{22} 参数的仿真结果. 可知, 在 VCO 的输出端口添加匹配网络之后, S_{11} 参数在 21.2~25.6 GHz 范围内低于 -10 dB, S_{22} 参数在 22.2~25.7 GHz 范围内低于 -10 dB. 与未加匹配网络相比, VCO 在 24

GHz 频点附近的反射系数得到了很好的改善.

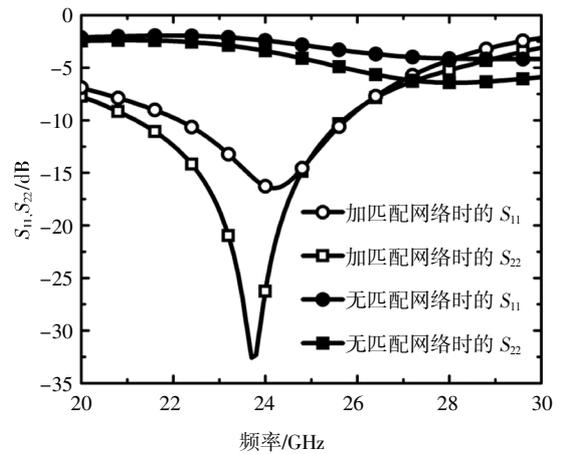


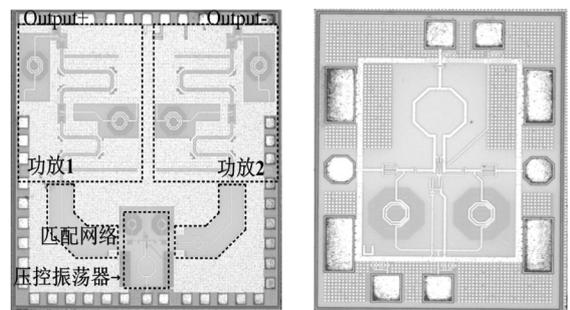
图 10 VCO S_{11} 和 S_{22} 参数仿真结果

Fig.10 Simulated S_{11} and S_{22} of VCO

3 测试结果与分析

本文所设计的 24 GHz 信号发生器采用 90 nm SOI CMOS 工艺流片加工, 芯片面积为 1.4 mm × 1.4 mm. 该芯片包含一个 24 GHz class-A 结构的 VCO, 两个差分放置的 Stacked-FET PA 单元, 以及模块电路间的 LC 匹配网络. 为了评估模块电路之间匹配网络的性能, 对 VCO 也进行了加工和测试.

图 11 (a) 为 24 GHz 信号发生器芯片的显微照片, 图 11(b) 为 24 GHz VCO 的显微照片. 测试时, 将芯片固定在测试用 PCB 板上, 并通过键合金线为芯片提供偏置电压和调谐电压. 在各管脚处放置必要的滤波电容, 防止 PA 加电后出现低频振荡. 射频信号的两个差分输出端口 (输出+, 输出-), 其中一端通过键合线连接至测试板上, 负载为 50 Ω; 另一端通过 GSG 探针和同轴电缆连接至频谱分析仪.



(a) 信号发生器 (1.4 mm × 1.4 mm) (b) VCO (0.45 mm × 0.6 mm)

图 11 芯片的显微照片

Fig.11 Micrograph of chips

加电后,VCO 能够稳定起振,PA 能够稳定工作.图 12 为测试得到的信号发生器输出信号的频谱.

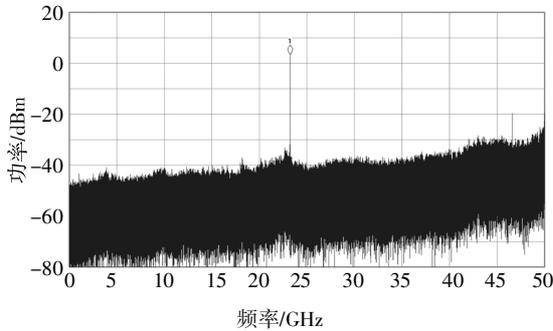


图 12 信号发生器输出信号的测试频谱

Fig.12 Measured spectrum of the output signal of the signal generator

本文所采用的工艺提供了 2.5 V 的变容管器件,因此调谐电压的范围可以设置得宽一些.图 13 为输出信号的频率随调谐电压的变化关系.该信号发生器芯片能够稳定输出 22.2~24.7 GHz 频段的信号,中心频率为 23.45 GHz,与 24 GHz 相比有所偏移,可能是由工艺偏差导致的,但该信号发生器的输出频率依然覆盖了国内和国际上通用的 24 GHz ISM 雷达传感器的工作频段,即 24~24.25 GHz.

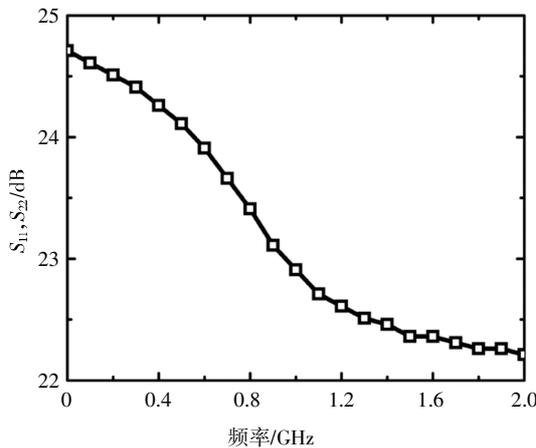


图 13 信号发生器测得的频率调谐范围

Fig.13 Measured frequency tuning range of the signal generator

采用 E5052B 信号分析仪和 E5053A 变频器对 VCO 的相位噪声进行测试,图 14 为在 VCO 振荡频率为 22.24 GHz 时测得的相位噪声.在偏 1 MHz 和 10 MHz 处,VCO 的相位噪声分别为-91 dBc/Hz 和

-123 dBc/Hz.

在测试输出功率时,同轴电缆引入的损耗以 3 dB 的经验值进行估算.考虑到差分输出,总输出功率在单端测试结果上加 3 dB.图 15 为 VCO 在相同偏置电压下,信号发生器与 VCO 输出功率随调谐电压的变化关系.信号发生器的平均输出功率为 8.83 dBm,峰值输出功率为 10.5 dBm.表明插入 VCO 与 PA 之间的 LC 匹配网络,在螺旋电感底层不添加 Dummy 金属的情况下,实现了良好的匹配性能.在测试过程中,通过对多个样品进行测试,均未发现因局部不填充 Dummy 金属而导致的可靠性问题,表明本文设计方法具有一定的可行性.

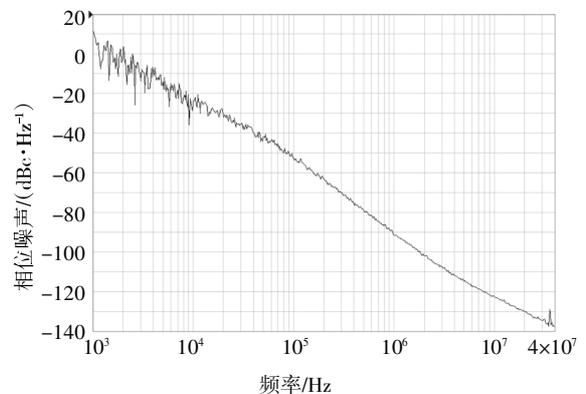


图 14 测得的 VCO 的相位噪声

Fig.14 Measured phase noise of the VCO

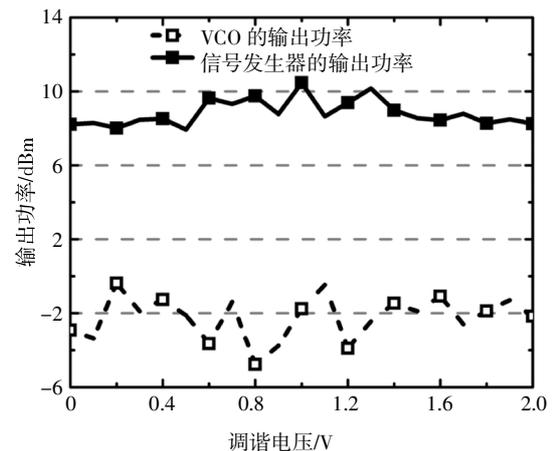


图 15 信号发生器与 VCO 的输出功率

Fig.15 Output power of signal generator and VCO

表 1 给出了本文设计的测试结果与其他文献中结果的对比.从表 1 中可以看出,本文基于 SOI CMOS 工艺,通过采用 Stacked-FET 结构的功率放大器和高 Q 螺旋电感,实现了较高的输出功率和较宽

的频率调谐范围.

表 1 本文与其他文献性能的对比

Tab.1 Comparison of performance in this paper with other literatures

| 文献 | 工艺 | 频率调谐范围/% | 1 MHz 处相位噪声/(dBc·Hz ⁻¹) | 输出功率/dBm |
|-----|----------------|----------|-------------------------------------|------------|
| [4] | 0.13 μm CMOS | 3.3 | -104 | -0.56 |
| [5] | 90 nm CMOS | 10.2 | -96.15 | 1.34 ~ 9.6 |
| 本文 | 90 nm SOI CMOS | 10.7 | -91 | 7.9 ~ 10.5 |

4 结 论

本文基于 90 nm SOI CMOS 工艺设计了一款 24 GHz 信号发生器电路. 通过优化晶体管的尺寸, 设计出无输出阻抗匹配网络的 Stacked-FET PA, 提高了 P_{sat} 和 MOS 器件大功率工作时的可靠性. 通过电磁场仿真分析了 Dummy 金属对螺旋电感性能的影响, 在设计用于 LC 谐振网络和 LC 阻抗匹配网络的电感时, 去除底层的 Dummy 金属, 可提高螺旋电感的 Q 值. 测试结果表明, 该信号发生器实现了 10.5 dBm 的峰值输出功率, 可用于 24 GHz 雷达收发芯片, 同时验证了设计方法的可行性.

参考文献

- [1] WELP B, NOUJEIM K, POHL N. A wideband 20 to 28 GHz signal generator MMIC with 30.8 dBm output power based on a power amplifier cell with 31% PAE in SiGe [J]. IEEE Journal of Solid-State Circuits, 2016, 51(9): 1975—1984.
- [2] 曾健平, 章兢, 谢海情, 等. 1.8 GHz 宽带低相位噪声 CMOS 压控振荡器[J]. 湖南大学学报(自然科学版), 2007, 34(6): 37—40. ZENG J P, ZHANG J, XIE H Q, *et al.* Design of a 1.8 GHz wide-band, low-phase-noise CMOS VCO [J]. Journal of Hunan University(Natural Sciences), 2007, 34(6): 37—40. (In Chinese)
- [3] 潘达杉, 黄金明, 冯勇, 等. 标准数字 CMOS 工艺正交压控振荡器设计[J]. 湖南大学学报(自然科学版), 2015, 42(8): 94—99. PAN D S, HUANG J M, FENG Y, *et al.* Design of quadrature VCO based on standard CMOS process [J]. Journal of Hunan University (Natural Sciences), 2015, 42(8): 94—99. (In Chinese)
- [4] GITAE P, JAEMO Y, CHOUL-YOUNG K, *et al.* K-band single-path dual-mode CMOS transmitter for FMCW/UWB radar[J]. IEEE Microwave and Wireless Components Letters, 2016, 26(10): 858—860.
- [5] TAN K W, LO A H, CHU T S, *et al.* A K-band reconfigurable pulse-compression automotive radar transmitter in 90-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(4): 1380—1387.
- [6] SHOPOV S, GIRMA M G, HASCH J, *et al.* An ultra-low-power 4-channel 60-GHz radar sensor [C]//IEEE MTT-S International Microwave Symposium. Honolulu, HI, USA: IEEE, 2017: 1520—1523.
- [7] ALSURAISSRY H, CHENG J H, LUO S J, *et al.* A 24-GHz transformer-based stacked-FET power amplifier in 90 nm CMOS technology [C]//Asia-Pacific Microwave Conference. Nanjing: IEEE, 2015: 1—3.
- [8] DABAG H T, HANAFI B, GOLUCK F, *et al.* Analysis and design of stacked-FET millimeter-wave power amplifiers[J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(4): 1543—1556.
- [9] FORSBERG T, WERNEHAG J, NEJDEL A, *et al.* Two mm-wave VCOs in 28-nm UTBB FD-SOI CMOS[J]. IEEE Microwave Wireless Components Letters, 2017, 27(5): 509—511.
- [10] KIM B, OH J, HONG S. 24 GHz pulsed transmitter for ultra low power Doppler radar applications [C]//Asia-Pacific Microwave Conference. Kuala Lumpur, Malaysia: IEEE, 2017: 364—367.
- [11] TSUCHIYA A, ONODERA H. Effect of dummy fills on characteristics of passive devices in CMOS millimeter-wave circuits[C]//IEEE 8th International Conference on ASIC. Changsha: IEEE, 2009: 296—299.
- [12] WORKMAN G O, FOSSUM J. Physical noise modeling of SOI MOSFET's with analysis of the lorentzian component in the low-frequency noise spectrum[J]. IEEE Transactions on Electron Devices, 2000, 47(6): 1192—1201.