

用于流水线 ADC 的无采样保持运放前端电路

陈迪平¹, 张仁梓^{1†}, 曹伦武², 陈卓俊¹, 曾健平¹

(1. 湖南大学 物理与微电子科学学院, 湖南 长沙 410082;

2. 湖南进芯电子科技有限公司, 湖南 长沙 410205)

摘要:为了降低流水线模数转换器功耗与提升输入信号范围,设计了一种无采样保持运放前端电路。移除采样保持运放降低了功耗,并改进开关时序进一步降低电路功耗;同时改进传统开关电容比较器输入,使得模数转换器可达到 0~3.3 V 满电源电压的量化范围。将设计的无采样保持运放前端电路应用在一款低功耗 12 位 50 MS/s 流水线模数转换器进行验证,采用 0.18 μm 1P6M 工艺进行流片,芯片面积为 1.95 mm^2 。测试结果表明:3.3 V 电压下,采样率为 50 MS/s、输入信号频率为 5.03 MHz 时,信噪失真比(SNDR)为 64.67 dB,无杂散动态范围(SFDR)为 72.9 dB,功耗为 65 mW。

关键词:流水线模数转换器;无采样保持运放;孔径误差;开关电容比较器

中图分类号: TN495

文献标志码: A

Front-end Circuit without Sample-and-hold Amplifier for Pipelined ADC

CHEN Diping¹, ZHANG Renzi^{1†}, CAO Lunwu², CHEN Zhuojun¹, ZENG Jianping¹

(1. College of Physics and Microelectronics Science, Hunan University, Changsha 410082, China;

2. Hunan Advancechip Electronic Technology Company, Changsha 410205, China)

Abstract: A front-end circuit without Sample-and-Hold Amplifier(SHA) is presented for reducing power consumption and increasing input range of pipelined ADC. Removing Sample-and-Hold Amplifier and improving switching timing reduce the circuit power consumption, while improving the traditional switched-capacitor comparator inputs to make ADC achieve a 0-3.3V full supply voltage quantization range. The front-end circuit without Sample-and-Hold Amplifier is verified in a low power 12 bit 50 MS/s pipelined ADC. The circuit is implemented in a 0.18 μm 1P6M process, and occupies a chip area of 1.95 mm^2 . The test results with a 5.03 MHz input wave under a sampling rate of 50 MS/s show that the ADC achieves a 64.67 dB signal-to-noise and distortion ratio(SNDR) as well as a 72.9 dB spurious-free dynamic range(SFDR), while it consumes the power consumption of 65 mW.

Key words: pipelined Analog to Digital Converter (ADC); Sample-and-Hold Amplifier (SHA)-less; aperture error; switched-capacitor comparator

* 收稿日期:2019-12-17

基金项目:国家自然科学基金青年基金资助项目(61804053), National Natural Science Foundation of China(61804053)

作者简介:陈迪平(1962—),男,湖南醴陵人,湖南大学教授

† 通讯联系人, E-mail: rz_zhang@qq.com

高速高精度模数转换器 (Analog to Digital Converter, ADC) 是如今众多高性能数模混合电路系统中不可或缺的部分^[1-4]. 随着工艺水平的提高以及便携式电子设备的兴起, 高速低功耗 ADC^[5-6] 也正成为研究热点. 常见的 ADC 有流水线型 (Pipelined)^[7-8]、逐次比较型 (Successive Approximation Register, SAR)^[9]、混合型 (Pipelined-SAR)^[10]、过采样型 (Sigma Delta, $\Delta-\Sigma$)^[11] 等, 而 Pipelined ADC 因其较快的速度、较高的精度以及适中的功耗而被广泛应用.

为达到低功耗 Pipelined ADC 设计要求, 研究者们提出了许多降低功耗方法, 如运放共享技术^[12]、无前端采样保持运放技术 (Sample-and-Hold Amplifier-less, SHA-less)^[13-14] 等. 传统 Pipelined ADC 设计中, 为使子 ADC 和余量增益电路 (Multiplying Digital-to-Analog Converter, MDAC) 两条路径传输信号一致, 信号通过采样保持电路 (Sample-and-Hold Amplifier, SHA) 后才开始逐级量化. 由于 SHA 电路位于 ADC 最前端, 为达到高速高精度目的, 系统对 SHA 中运放的增益与带宽具有很高要求, 从而消耗巨大功耗. 因此, 降低 Pipelined ADC 功耗的一种有效方法是移除采样保持运放. SHA 电路具有稳定两条信号路径一致性和电平转移功能, 移除采样保持运放会带来孔径误差^[14]及输入信号范围变小等问题. 因此, 采用 SHA-less 电路, 需要进一步优化设计.

本文设计了一种适用于低功耗高精度 SHA-less Pipelined ADC 的前端电路, 改进开关时序减小首级 ADC 比较器导通时间来降低功耗和消除孔径误差, 同时改进传统开关电容比较器输入, 使得 ADC 可量化输入信号电平达到 0~3.3 V 满电源电压. 所设计的电路应用在一款中低端 DSP 芯片中的低功耗 12 位 50MS_s Pipelined ADC 进行验证, 采用 0.18 μm 1P6M 工艺进行电路设计仿真及流片, 测试结果良好.

1 传统前端 SHA 电路

图 1 所示为传统前端 SHA 电路原理图. 采样相时, 开关 S_1 闭合, S_2 断开, 采样电容 C_S 对输入信号进行采样; 保持相时, 开关 S_1 断开, S_2 闭合, 电容 C_S 上的电荷往反馈电容 C_F 上进行转移, 最终得到输出 $V_{out} = V_{in} C_S / C_F$. 在下次采样时刻到来前, 输出将保持不变. 因此, 在保持相, 信号往首级子 ADC 与 MDAC 传输时, 两条路径不会存在偏差. 同时, 若输入信号电平超出首级 ADC 量化范围时, 可以通过设置合理的 C_S / C_F 比值, 将输入信号进行电平变换后再

进行量化.

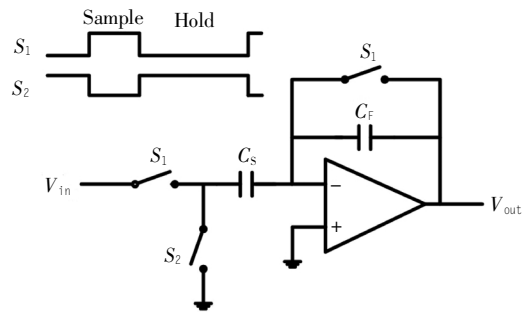


图 1 传统前端采样保持电路

Fig.1 Traditional front-end SHA circuit

由于 SHA 电路位于 Pipelined ADC 最前端, 因此系统对 SHA 电路中运放的增益与带宽具有很高要求, 导致 SHA 电路消耗巨大功耗, 通常占据整个系统功耗的 30%^[15] 以上. 因此, 在低功耗 Pipelined ADC 设计中, 移除前端 SHA 电路中的运放显得很有必要. SHA-less 的前端电路信号传输路径如图 2 所示, 输入信号传输存在两条路径, 一条为信号直接送入首级 ADC 进行量化, 另一条为送入采样电路. 若两条通道时间常数不匹配, 将会产生孔径误差, 从而降低整个系统量化精度.

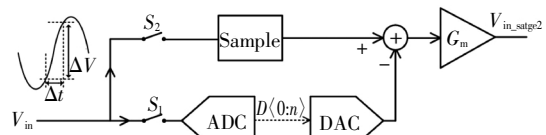


图 2 SHA-less 前端电路示意图

Fig.2 SHA-less front-end circuit

Pipelined ADC 中常使用的开关电容比较器如图 3 所示, 比较器输出如式 1 所示.

$$\begin{aligned}
 V_o &= -A_V [(V_{inp} - V_{refn}) - (V_{inn} - V_{refp})] = \\
 &= -A_V [(V_{inp} - V_{inn}) - (V_{refp} - V_{refn})] = \\
 &= \begin{cases} 0, & (V_{inp} - V_{inn}) > (V_{refp} - V_{refn}) \\ 1, & (V_{inp} - V_{inn}) < (V_{refp} - V_{refn}) \end{cases} \quad (1)
 \end{aligned}$$

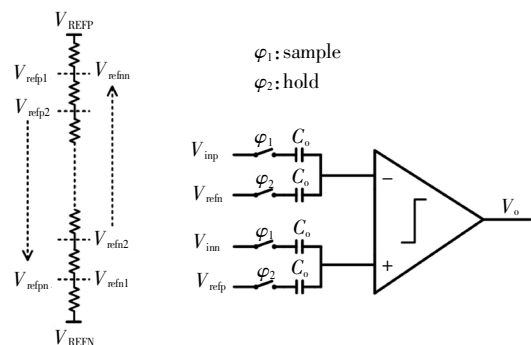


图 3 开关电容比较器

Fig.3 Switched-capacitor comparator

由式(1)和图3可知,ADC可量化的最大信号输入电平为 $\Delta V_{REF} = V_{REFP} - V_{REFN}$. 增大ADC可量化的输入信号电平,只能增大基准电压 V_{REFP} 、 V_{REFN} 差值,但不能达到满电源电压输入. 考虑到 Pipelined ADC 由多级子ADC组成,若保持图3中电阻串阻值不变,增大基准电压 $V_{REFP} - V_{REFN}$ 差值将会明显增加功耗,同时对基准电压 V_{REFP} 、 V_{REFN} 产生电路的电流驱动能力要求也增高,从而导致基准电压产生电路面积大幅增加;若增大电阻串阻值以降低功耗和基准电压产生电路的电流驱动能力,由图4所示保持相比较器等效输入可知,时间常数 $\tau = R_{ep} \cdot V_{REFP} \cdot C_o$ 将会大幅增加,比较器工作速度降低,从而降低ADC量化速度. 因此,图3所示比较器电路不适合高输入信号电平的 SHA-less Pipelined ADC.

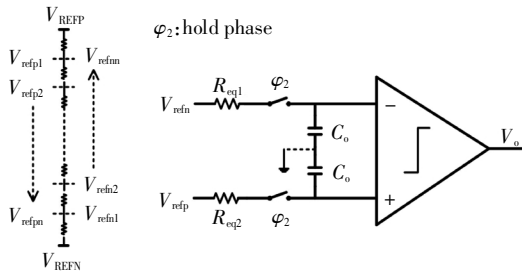


图4 保持相比较器等效输入
Fig.4 Comparator equivalent input in maintain phase

2 SHA-less Pipelined ADC 前端电路

图5为本文设计的SHA-less前端电路结构图,

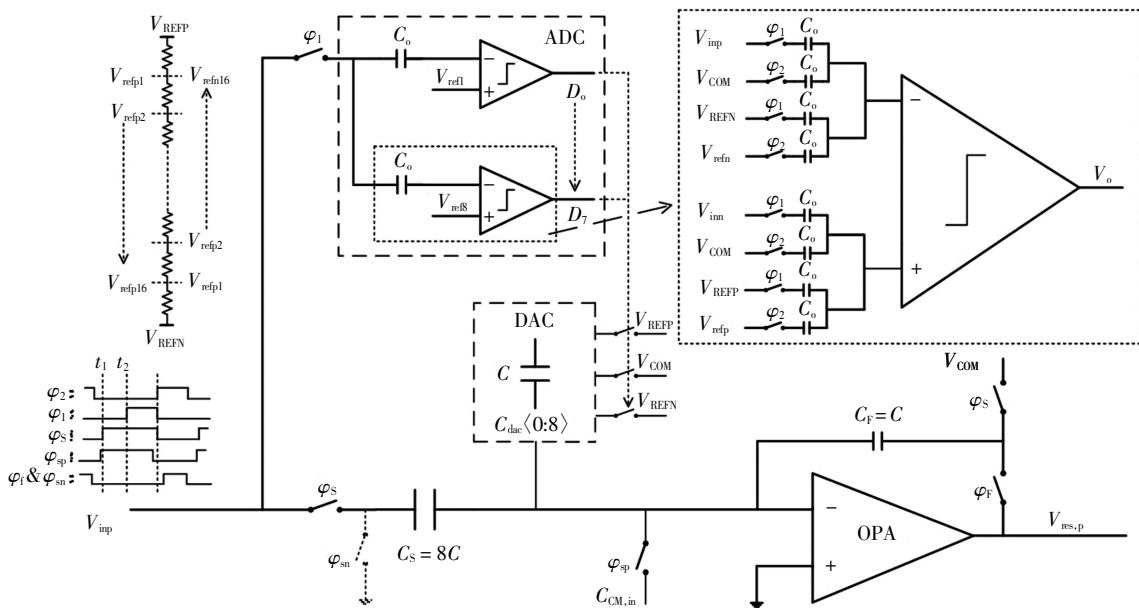


图5 SHA-less前端电路结构图
Fig.5 SHA-less front-end circuit structure

电路为全差分结构,为简化这里只给出单端电路图. 电路共有16个比较器,可实现4bit首级子ADC功能. 图中给出了部分开关时序,ADC采样开关 ϕ_1 在采样电容 C_s 开关 ϕ_s 后导通,降低了比较器导通工作时间,进一步减小部分电路功耗. 因为采样时刻不一致产生的误差,可以通过两条采样路径阻抗不匹配误差进行抵消以达到数字逻辑可校准范围. 比较器改进输入可实现满电源电压输入,具体工作原理后面将做详细讨论.

2.1 孔径误差的消除

根据校正原理,总误差需满足式(2):

$$V_{error_total} < \frac{V_{FS}}{4A_V} \quad (2)$$

其中,总误差包括比较器输入失调、孔径误差、基准源误差等; V_{FS} 是ADC满输入量程; A_V 是MDAC增益. 本文设计中,ADC输入为满电源电压量程,即0~3.3V;首级MDAC增益为8. 假设因为两条信号路径不匹配带来的孔径误差 $V_{error_mismatch}$ 占总误差的一半,则可得:

$$V_{error_mismatch} < 51.56 \text{ mV} \quad (3)$$

图5给出的部分开关时序图,与传统开关时序不同,为了减少比较器导通时间以降低ADC功耗,比较器采样开关 ϕ_1 在采样电容开关 ϕ_s 后导通. 此处引起的误差可以通过采样路径不匹配进行抵消. 假设输入信号为一正弦波:

$$V_{in} = A_0 \sin \omega t \quad (4)$$

采样电容 C_S 和 ADC 分别在 t_1, t_2 时刻对输入信号进行采样, 两条路径产生的延迟分别为 τ_1, τ_2 . 因此产生的误差为:

$$V_{error_mismatch} \cong A_0 [\sin \omega(t_1 + \tau_1) - \sin \omega(t_2 + \tau_2)] \quad (5)$$

输入正弦波信号在过零处, 式(5)所示的误差将会呈现最大值:

$$V_{error_mismatch_max} \cong A_0 [\sin \omega(t_1 - t_2) + \sin \omega(\tau_1 - \tau_2)] \quad (6)$$

通过合理设置开关 φ_S 和 φ_1 尺寸, 使得 $\Delta\tau = \tau_1 - \tau_2 = R_{ons} C_S - R_{onl} C_0$ 与 $\Delta t = t_1 - t_2$ 相抵消, 以使误差最小. 其中, R_{ons}, R_{onl} 分别为开关 φ_S 和 φ_1 的导通阻抗. 本设计通过不断提取参数进行后仿真来优化电路设计与版图匹配, 使得在 50 MS/s 采样率下, 输入正弦波频率达 10 MHz 时, 孔径误差为 11 mV, 满足式(3)要求且有较大余量.

2.2 首级子 ADC 可量化输入信号电平的提升

由第 1 节的分析可知, 采用 SHA-less 结构后, 首级 ADC 能量化的最大输入信号电平将会变小. 如图 5 所示, 本设计对传统电容开关比较器输入进行改进, 通过设置合理的 V_{REFP}, V_{REFN} 值, 可以使得 ADC 达到 0 ~ 3.3 V 的满电源电压输入.

比较器输出如式(7)所示.

$$\begin{aligned} V_o = & -A_V \{ [(V_{inp} - V_{COM}) + (V_{REFN} - V_{refn})] - \\ & [(V_{inn} - V_{COM}) + (V_{REFP} - V_{refp})] \} = \\ & -A_V \{ (V_{inp} - V_{inn}) - [(V_{REFP} - V_{REFN}) - (V_{refp} - V_{refn})] \} \end{aligned} \quad (7)$$

由式(7)可知, 输入信号 $\Delta V_{in} = V_{inp} - V_{inn}$, 减去一个固定直流量 $\Delta V_{REF} = V_{REFP} - V_{REFN}$ 后再与参考电压做比较, 实现了输入信号电平变换的功能. 因此, 合理设置 V_{REFP}, V_{REFN} 的值, 可以实现 ADC 满电源电压的输入. 本设计中, $V_{refp} - V_{refn}$ 的取值为:

$$V_{refp} - V_{refn} = \pm \frac{n}{16} (V_{REFP} - V_{REFN}), n=1, 3, \dots, 15 \quad (8)$$

将式(8)代入式(7)中可得:

$$V_o = -A_V [(V_{inp} - V_{inn}) - \frac{N}{16} (V_{REFP} - V_{REFN})], \quad N=1, 3, 5, \dots, 31 \quad (9)$$

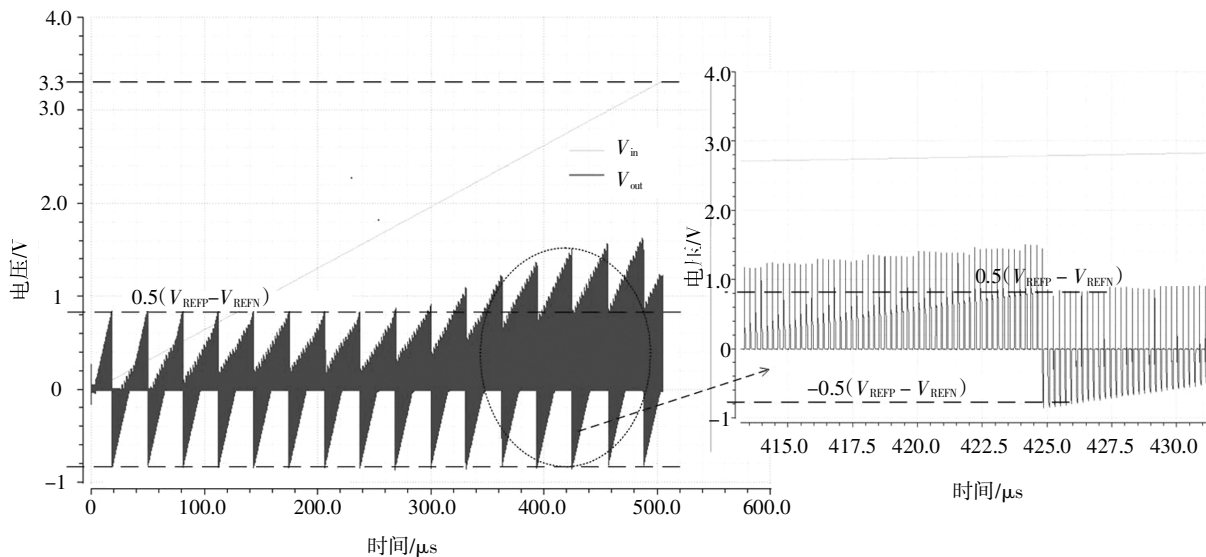
当 ADC 实现 0~3.3 V 电源电压满幅输入时, 需满足以下条件:

$$(V_{REFP} - V_{REFN}) \in \frac{(0, 3.3)}{2} \quad (10)$$

因此可得 $V_{REFP} - V_{REFN} = 1.65$ V, 结合电路设计的 $V_{REFP} + V_{REFN}$ 共模值, 便可确定 V_{REFP}, V_{REFN} 的值. 图 6 为 0 ~ 3.3 V 满幅输入时, 运放输出的曲线图. 由图可以看出, ADC 可以实现 0 ~ 3.3 V 满电源电压量化范围.

3 SHA-less 前端电路应用及测试结果

本文设计的 SHA-less 前端电路已成功应用于一款 12 位 50 MS/s 的 pipelined ADC 芯片中, 结构图如图 7 所示. 12 位 50 MS/s 的 pipelined ADC 采用 4+3+3+3 的四级流水结构, 为降低 ADC 整体功耗, 首级



(a) MDAC 传输曲线图

(b) 局部放大图

图 6 MDAC 传输特性曲线

Fig.6 MDAC transmission curve

采用了本文设计的 4bit SHA-less 结构, 电路 0.18 μm 1P6M 工艺进行设计及流片。

图 8 为芯片照片图, 面积为 1.95 mm^2 。

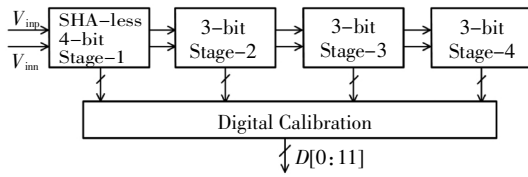


图 7 12 位 pipelined ADC 结构图
Fig.7 12-bit pipeline ADC structure

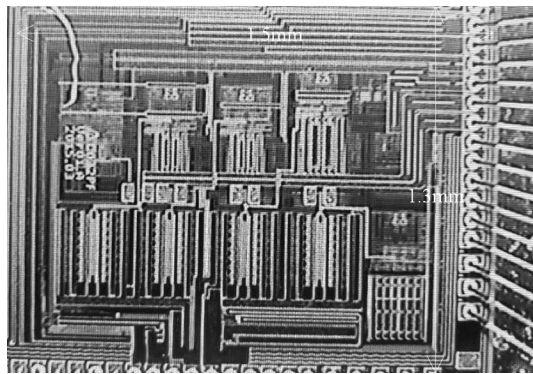


图 8 芯片照片图
Fig.8 Chip photo

图 9 为 ADC 测试的线性度曲线, 微分非线性 (Differential NonLinearity, DNL) 误差为 $-0.61/+0.61 \text{ LSB}$, 积分非线性 (Integral NonLinearity INL) 误差为 $-0.82/+0.7 \text{ LSB}$ 。

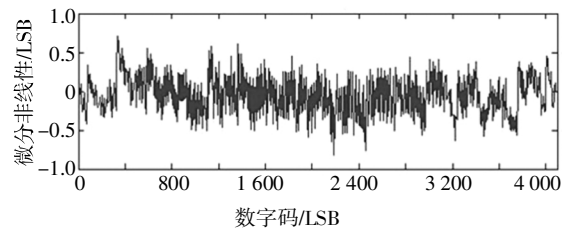
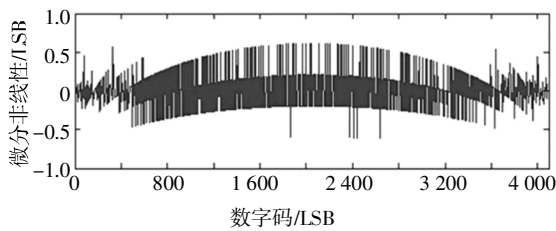


图 9 微分非线性/积分非线性
Fig.9 DNL/INL

图 10 显示了在 3.3 V 电源电压下, 采样率为 50 MS/s、输入信号为 5.03 MHz 时的测试 FFT 频谱图, 信噪比 (Signal to Noise Ratio, SNR) 为 65.03 dB, 信噪失真比 (Signal to Noise and Distortion Ratio, SNDR) 为 64.67 dB, 无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 为 72.9 dB, 整体功耗为 65 mW. 功耗与具有采样保持运放的相似架构流水线 ADC 相比^[3], 降低了 40%。

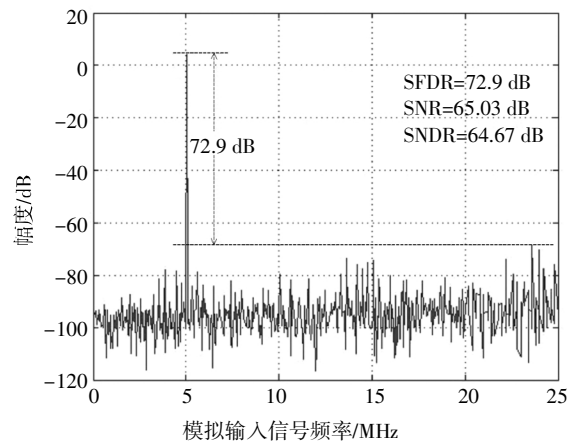


图 10 50 MS/s 采样率, 5.03 MHz 输入时的频谱图
Fig.10 FFT under 50 MS/s sampling rate and 5.03 MHz input

表 1 给出了文中所设计 ADC 与部分参考文献提出的 ADC 性能对比, 可以看出本文设计具有较小

表 1 ADC 性能对比
Tab.1 ADC performance comparison

文献	结果	工艺/nm	精度/bit	采样率/($\text{MS}\cdot\text{s}^{-1}$)	电源电压/V	功耗/mW	输入范围/V	面积/ mm^2	SNDR/dB	SFDR/dB
[3]	测试	180	12	50	3.3	115	2.0	1.5	68.0	NA
[4]	测试	180	14	40	3.3	100	± 1.0	2.25	77.5	82.4
[8]	测试	180	12	250	1.8	320	± 0.4	2.5	69.9	81.0
[12]	仿真	180	12	50	1.8	18	1.2	NA	68.9	94.59
本文	测试	180	12	50	3.3	65	0~3.3	1.95	64.67	72.9

的功耗与精度、面积以及最大的输入范围。

4 结 论

本文提供了一种适用于低功耗 Pipelined ADC 设计的无采样保持运放的前端电路。改进采样开关时序减小了电路功耗,同时改进传统开关电容比较器输入,使得 ADC 可量化 0~3.3 V 满电源电压输入信号电平。将所设计的 SHA-less 前端电路应用在一款 12 位 50MS/s Pipelined ADC 进行验证,采用 0.18 μm 1P6M 工艺进行流片,整体 ADC 面积为 1.95 mm^2 ,测试结果良好。

参考文献

- [1] MOHAMED M Y, HEGAZI E, EI-NOZAH M. A 0.35 mW 8-bit 140MS/s asynchronous hybrid ADC for low energy radio applications [C]// 2019 36th National Radio Science Conference. Piscataway: IEEE, 2019: 315—323.
- [2] JEON B K, HONG S K, KWON O K. A low-power 12-Bit extended counting ADC without calibration for CMOS image sensors [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65(7): 824—828.
- [3] MATHUR S, DAS M, TADEPARTHY, *et al.* A 115mW 12-bit 50 MSPS pipelined ADC [C]// 2002 IEEE International Symposium on Circuits and Systems. Piscataway: IEEE, 2002: 913—916.
- [4] CHEN T, PENG L L, LI H B, *et al.* A 2-V 40-MS/s 14-bit pipelined ADC for CMOS image sensor [C]// 2015 IEEE 11th International Conference on ASIC. Piscataway: IEEE, 2015: 1—4.
- [5] OHHATA K, HAYAKAWA D, SEWAKI K, *et al.* A 900-MHz, 3.5-mW, 8-bit pipelined subranging ADC combining flash ADC and TDC [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2018, 26(9): 1777—1787.
- [6] ZHOU Y, XU B W, CHIU Y. A 12-b 1-GS/s 31.5-mW time-interleaved SAR ADC with analog HPF-Assisted skew calibration and randomly sampling reference ADC [J]. IEEE Journal of Solid-State Circuits, 2019, 54(8): 2207—2218.
- [7] 阳辉, 何怡刚, 黄姣英. 0.25 μm CMOS 工艺 10 位 150MHz 流水线型 ADC 设计 [J]. 湖南大学学报(自然科学版), 2010, 37(8): 45—48.
- YANG H, HE Y G, HUANG J Y. A 10-b 150MHz pipeline ADC in 0.25 μm CMOS [J]. Journal of Hunan University (Natural Sciences), 2010, 37(8): 45—48. (In Chinese)
- [8] WU H J, CHEN Z H, YU Z G, *et al.* A 12-bit 250MSPS pipeline ADC with 4Gbps serial output interface [C]// 2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology. Piscataway: IEEE, 2016: 1464—1466.
- [9] OKUNO K, OBATA K, KATO T, *et al.* An 800-MHz 8-bit high speed SAR ADC in 16nm FinFET process [C]// 2017 IEEE International Meeting for Future of Electron Devices, Kansai. Piscataway: IEEE, 2017: 24—25.
- [10] LIU H Z, LIU M L, ZHU Z M. A 12-bit 200MS/s pipelined-SAR ADC in 65-nm CMOS with 61.9 dB SNDR [C]// 2019 IEEE International Conference on Electron Devices and Solid-State Circuits. Piscataway: IEEE, 2019: 1—2.
- [11] 于健海, 尹亮. 用于微机械加速度计的亚微米工艺 ADC 设计 [J]. 西安电子科技大学学报, 2019, 46(3): 140—147.
- YU J H, YIN L. Design of an ADC with the submicron process for micromechanical accelerometers [J]. Journal of Xidian University, 2019, 46(3): 140—147. (In Chinese)
- [12] CHO J K. A 2.24-mW, 61.8-dB SNDR, 20-MS/s pipelined ADC with charge-pump-based dynamic biasing for power reduction in Op AMP sharing [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(6): 1368—1379.
- [13] XU W G, GAO Y F, LIU X D, *et al.* A 18 mW 12 bit 50MS/s SHA-less pipelined ADC [C]// 2017 IEEE 12th International Conference on ASIC. Piscataway: IEEE, 2017: 776—779.
- [14] WANG C W, WANG X, DING Y, *et al.* A 14-bit 250MS/s low-power pipelined ADC with aperture error eliminating technique [C]// 2018 IEEE International Symposium on Circuits and Systems. Piscataway: IEEE, 2018: 1—5.
- [15] 张凌东, 魏敬和, 陈珍海, 等. 用于 16 位 125MS/s ADC 的无采样保持运放前端电路 [J]. 中国电子科学研究院学报, 2018, 13(3): 331—334.
- ZHANG L D, WEI J H, CHEN Z H, *et al.* Front-end circuit without sample-and-hold amplifier for 16bit 125MS/s ADC [J]. Journal of CAEIT, 2018, 13(3): 331—334. (In Chinese)