

基于 FPGA 的改进的排序 QR 分解实现

陈健^{1,2†}, 庄耀宇^{1,2}, 杨丹^{1,2}, 张俊杰^{1,2}

[1. 上海大学 通信与信息工程学院, 上海 200444;
2. 特种光纤与光接入网重点实验室(上海大学), 上海 200444]

摘 要: MIMO 技术虽然可以提高频谱的利用率, 但是多维度的信号处理为 MIMO 信号的检测带来了极大的挑战. 在对各类 MIMO 检测算法分析的基础上, 选择非线性 QR 分解算法作为研究对象. 为了获取更高的检测性能, 进一步研究了排序的 QR 分解并提出了基于 L1 范数的排序方案. Matlab 性能仿真显示, 基于 L1 范数的排序策略和基于 L2 范数的排序策略对 MIMO 系统检测性能的影响基本一致, 但采用 L1 范数降低了计算复杂度. 在此基础上, 设计了基于 FPGA 的利用 Givens 旋转改进的排序 QR 分解的硬件电路结构. 在 4×4 信道矩阵的分解实现中, 相较于 L2 范数求解, L1 范数在单个列范数计算中组合逻辑资源至少节省了 29.2%, 触发器资源至少节省了 32.4%. 整体结构设计与同等规模的类似结构相比, 主频时钟得到明显改善.

关键词: FPGA; QR 分解; Givens 旋转; 排序

中图分类号: TN802

文献标志码: A

Implementation of Improved Sorted QR Decomposition on FPGA

CHEN Jian^{1,2†}, ZHUANG Yaoyu^{1,2}, YANG Dan^{1,2}, ZHANG Junjie^{1,2}

[1. School of Communication & Information Engineering, Shanghai University, Shanghai 200444, China;
2. Key Laboratory of Specialty Fiber and Optics Access Networks (Shanghai University), Shanghai 200444, China]

Abstract: Although Multiple-Input Multiple-Output (MIMO) technology can improve the utilization rate of the spectrum, multi-dimensional signal processing brings great challenges to the detection of MIMO signals. Based on the analysis of various MIMO detection algorithms, the nonlinear QR decomposition algorithm is selected as the research object. In order to obtain a higher performance of detection, the sorted QR decomposition is further studied and the sorting scheme based on the L1-norm is proposed. Using Matlab for performance simulation, the L1-norm sorting strategy and the L2-norm sorting strategy have the same impact on the MIMO system, but the L1-norm sorting strategy reduces the computational complexity. On this basis, the hardware structure of the improved sorted QR decomposition by Givens rotation on FPGA is proposed. Compared with the solution of the L2-norm, the L1-norm strategy reduces at least 29.2% combinational logic resources and 32.4% register resources when calculating a single-column norm in the realization of 4×4 channel matrix decomposition. By comparing the design of the integral structure and similar dimension one, the frequency of the operating clock is significantly improved.

Key words: Field-Programmable Gate Array (FPGA); QR decomposition; Givens rotation; sorting

* 收稿日期: 2021-10-25

基金项目: 上海市科委重点资助项目(20511102400), Science and Technology Commission of Shanghai Municipality (20511102400)

作者简介: 陈健(1965—), 男, 上海人, 上海大学研究员, 博士

† 通信联系人, E-mail: chenjian@shu.edu.cn

随着人们对移动通信需求的急剧增加,复杂的数据通信和处理将成为移动通信中一个重要挑战^[1-4].多输入多输出(Multiple-Input Multiple-Output, MIMO)技术的高带宽、低延迟、强鲁棒性的特性使其成为下一代移动通信的关键技术^[5].

虽然MIMO技术在不增加额外频谱和功率消耗的情况下能显著提高通信系统的容量和质量,但是与传统的单输入单输出(Single-Input Single-Output, SISO)通信系统相比,MIMO检测需要包含空间维度在内的多维度信号处理,复杂度更高.与此同时,MIMO系统发射天线所引起的同信道干扰为信号的检测增加了难度^[6].因此,近些年来,人们针对不同的MIMO传输方案提出了不同的检测算法.

MIMO检测算法主要分为线性检测算法和非线性检测算法两大类.虽然线性检测算法复杂度较低,但检测性能不如非线性检测算法.迫零(Zero-Force, ZF)检测算法和最小均方误差(Minimum Mean Square Error, MMSE)检测算法^[7]是两种典型的线性检测算法.它们利用信道矩阵得到加权矩阵,对接收信号进行判决.为了提高线性检测的精度,排序的连续干扰消除(Ordered Successive Interference Cancellation, OSIC)方法^[8]采用一组线性接收机,每个接收机检测数据流中的一个符号,其次,在每个阶段都能够成功地从接收信号中删除已检测出的信号成分,从而减少对后续待检测信号的干扰.

非线性检测算法中,最大似然(Maximum Likelihood, ML)检测是一种最优的检测算法^[9-10].传统的ML检测通过计算接收信号向量和所有可能的后处理向量之间的欧氏距离,找到一个最小距离来进行判决.由于ML要遍历搜索所有可能的发送信号,其复杂度随信号调制阶数和发射天线数呈指数上升.文献[1]提出了一种基于Cholesky分解和 k -best检测相结合的检测方案.其中 k -best^[11]是一种次优检测算法,对矩阵进行Cholesky^[12]分解是为 k -best检测做预处理.通过选择合适的 k 值使得检测性能逐渐逼近ML.然而对矩阵进行Cholesky分解,该方法要求该矩阵正定对称,适用范围受限.QR分解(QR Decomposition, QRD)算法^[13-14]不但可以为诸如 k -best检测算法做预处理,其本身也可作为一种非线性检测手段进行信号检测.QR分解通过对接收到的信号进行分层检测从而消除符号间的干扰.同时QR分解避免了复杂的矩阵求逆运算且适用性最广.但是在分层检测的过程中,容易出现误差累积效应.因此,基于排序的QR分解算法被提出^[15-16].

研究者们针对QR分解的实现提出了不同方案.矩阵进行QR分解主要包括格拉姆-施密特(Gram-Schmidt, GS)正交化^[17],豪斯霍尔德(Householder)变换^[18]和吉文斯(Givens)变换^[19]三种方式.由于Givens变换只包含酉矩阵的乘法且运算逻辑简单,更适合硬件实现.文献[14]和文献[20]提出了一种基于Givens变换的QR分解的FPGA实现方案,但是都没有引入排序过程.本文主要工作如下:

1)通过对各类QR分解实现方案的对比,选用Givens变换作为QR分解的实现方案并基于脉动阵列设计相应的电路结构.

2)由于L2范数的计算复杂度较高,本文改进了排序QR分解中的基于L2范数的排序方案,采用L1范数进行排序.Matlab性能仿真显示,改进后的方案对系统性能的影响几乎不变.同时L1范数在单个列范数计算中组合逻辑资源比L2范数至少节省29.2%,触发器资源至少节省32.4%.

3)针对排序QR分解的实现特点,本文设计了基于串行迭代的排序单元.利用该排序单元对 N 个数据进行排序,只需要 N 个比较器,且迭代延迟为 $N+1$ 个时钟周期.排序的QR分解中只需要进行最小值交换,因此最终只会产生1个时钟的排序延迟.

1 MIMO系统检测

1.1 系统模型

图1给出了MIMO系统中一个典型的信号传输模型.发射天线数为 N_T ,接收天线数为 N_R .发射信号矢量 $\mathbf{x} = [x_1, x_2, \dots, x_{N_T}]^T$,接收信号矢量 $\mathbf{y} = [y_1, y_2, \dots, y_{N_R}]^T$.

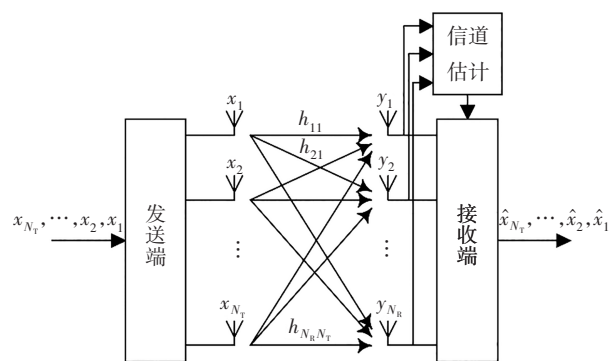


图1 MIMO系统模型

Fig.1 The model of MIMO system

信道传输矩阵 $\mathbf{H}$ 表示为:

$$\mathbf{H} = \begin{bmatrix} h_{11} & \cdots & h_{1N_T} \\ \vdots & & \vdots \\ h_{N_R 1} & \cdots & h_{N_R N_T} \end{bmatrix} \quad (1)$$

式中: h_{ji} 表示第 i 根发射天线和第 j 根接收天线之间的信道增益, 它们统计独立且服从高斯随机分布^[7,21]. 在本文中, 我们将一直假定信道信息已知. 则该 $N_R \times N_T$ MIMO 系统可以表示为:

$$\mathbf{y} = \mathbf{H}\mathbf{x} + \mathbf{z} \quad (2)$$

式中: $\mathbf{z} = [z_1, z_2, \dots, z_{N_R}]^T$ 是均值为 0, 方差为 σ_z^2 的加性高斯白噪声.

1.2 QR 分解检测

相较于 ZF 检测和 MMSE 检测, QR 分解检测避免了复杂的求解伪逆矩阵的过程, 受到了人们的广泛关注. $N_R \times N_T$ ($N_R \geq N_T$) 的 MIMO 信道传输矩阵 $\mathbf{H}$, 进行 QR 分解后可以得到:

$$\mathbf{H} = \mathbf{Q} \begin{bmatrix} \mathbf{R} \\ \mathbf{0} \end{bmatrix} \quad (3)$$

式中: $\mathbf{Q}$ 是 $N_R \times N_R$ 的西矩阵且满足 $\mathbf{Q}^H \mathbf{Q} = \mathbf{I}$; $\mathbf{R}$ 是 $N_T \times N_T$ 的上三角矩阵. 接收信号 $\mathbf{y}$ 左乘 $\mathbf{Q}^H$ 得到:

$$\hat{\mathbf{y}} = \mathbf{Q}^H \mathbf{y} = \mathbf{Q}^H (\mathbf{H}\mathbf{x} + \mathbf{z}) = \mathbf{R}\mathbf{x} + \hat{\mathbf{z}} \quad (4)$$

式中: $\hat{\mathbf{z}} = \mathbf{Q}^H \mathbf{z}$. 为方便阐述, 我们假设 $N_R = N_T = N$, 并将式(4)改写为:

$$\begin{bmatrix} \hat{y}_1 \\ \hat{y}_2 \\ \vdots \\ \hat{y}_N \end{bmatrix} = \begin{bmatrix} r_{11} & r_{12} & \cdots & r_{1N} \\ 0 & r_{22} & \cdots & r_{2N} \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & r_{NN} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_N \end{bmatrix} + \begin{bmatrix} \hat{z}_1 \\ \hat{z}_2 \\ \vdots \\ \hat{z}_N \end{bmatrix} \quad (5)$$

即:

$$y_k = r_{kk}x_k + \sum_{m=k+1}^N r_{km}x_m + \hat{z}_k, k = 1, 2, \dots, N \quad (6)$$

由于 $\mathbf{Q}$ 是西矩阵, 因此 $\mathbf{Q}^H \mathbf{z}$ 不会放大噪声. 考虑到第 N 层信号的检测不受其他层的干扰, 先从第 N 层开始检测, 得到第 N 层信号的估计值:

$$\tilde{x}_N = \mathbf{Q} \begin{bmatrix} \hat{y}_N \\ r_{NN} \end{bmatrix} \quad (7)$$

式中: $\mathbf{Q}[\cdot]$ 表示按照信号调制方式作判决. 利用第 N 层得到的估计值消除对第 $N-1$ 层的干扰, 从而得到第 $N-1$ 层的估计值 $\tilde{x}_{N-1}$. 依此类推, 那么第 k 层的估计值可以表示为:

$$\tilde{x}_k = \mathbf{Q} \left[\frac{y_k - \sum_{m=k+1}^N r_{km}\tilde{x}_m}{r_{kk}} \right], k=n-1, n-2, \dots, 1 \quad (8)$$

显然, 这种方式容易存在持续的误差累积. 为了降低误差传播, 理想的检测是使每一层的 SNR 尽可能大, 第 k 层的信噪比可以表示为:

$$\text{SNR}_k = \frac{E\{|y_k|^2\} |r_{kk}|^2}{E\{|z_k|^2\}} \sim |r_{kk}|^2 \quad (9)$$

从式(9)可以看出, 每层的 SNR 正比于 $\mathbf{R}$ 矩阵的主对角线元素, 因此应使 QR 分解后得到的 $\mathbf{R}$ 矩阵的主对角线元素尽可能从左往右单调不减, 即 $r_{NN} \geq r_{N-1N-1} \geq \dots \geq r_{22} \geq r_{11}$. 这便引出了基于排序的 QR 分解.

1.3 基于 Givens 变换的排序的 QR 分解

图 2 以 4×4 复矩阵的分解为例, 展示了不同分解方法的计算复杂度^[22]. 整体来看, Householder 变换复杂度最高, GS 变换复杂度较低. 由于 Givens 旋转只包含西矩阵的乘法, 被认定为是一个数值稳定的算法, 且可以通过旋转的方式来代替除法和开方运算. 因此, 在本文中, 我们采用 Givens 旋转的方式来实现 QR 分解.

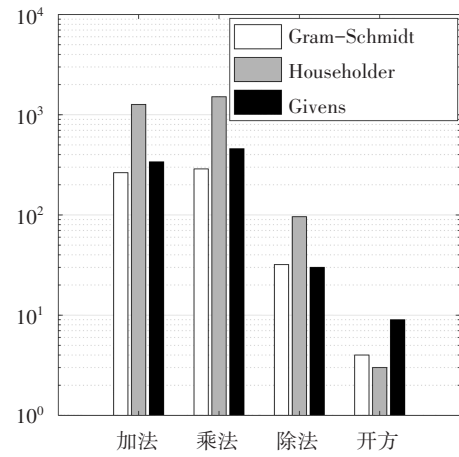


图 2 分解方法的复杂度

Fig.2 The complexity of decomposition methods

以 2×2 复矩阵为例, 阐述 Givens 旋转过程. 给定复矩阵 $\mathbf{H}$:

$$\mathbf{H} = \begin{bmatrix} H_{00} & H_{01} \\ H_{10} & H_{11} \end{bmatrix} \quad (10)$$

为了使左下角的元素 H_{10} 变为 0, 复数 Givens 旋转运算如下:

$$\begin{bmatrix} R_{00} & R_{01} \\ R_{10} & R_{11} \end{bmatrix} = \begin{bmatrix} e^{j\theta_1} \cos\theta_0 & e^{j\theta_2} \sin\theta_0 \\ -e^{j\theta_1} \sin\theta_0 & e^{j\theta_2} \cos\theta_0 \end{bmatrix} \begin{bmatrix} H_{00} & H_{01} \\ H_{10} & H_{11} \end{bmatrix} \quad (11)$$

式中: $\theta_0 = \tan^{-1}(|H_{10}|/|H_{00}|)$; $\theta_1 = -\angle H_{00}$; $\theta_2 = -\angle H_{10}$; $R_{10} = 0$. 排序的 QR 分解检测是在分解的过程中引入排序, 使得 $\mathbf{R}$ 矩阵的主对角线元素尽可能按照升序排列. 对矩阵进行排序的 QR 分解时, 首先通过对比原始矩阵列向量范数的大小, 对矩阵的列向量进行交换. 利用交换后的矩阵进行 Givens 旋转. 在每轮旋转完成后, 需要再次排序并进行列向量交换. 一个 N 列的矩阵 $\mathbf{H}$ 一共需要 $N-1$ 次迭代排序. 在本文中, 我

们以列向量的L1范数的大小作为参考进行排序. Givens旋转排序的QR分解的伪代码逻辑如表1所示.此外,当矩阵 H 列欠秩时,对矩阵 H 进行QR分解后,会导致分解得到的 R 矩阵主对角线上的元素有0的情况.结合QR分解的检测流程,当其中某一层主对角线为0时,会产生严重的误判.因此,QR分解不太适用于欠秩的MIMO信道.

表1 Givens旋转的排序QR分解

Tab.1 Sorted QR decomposition based on Givens rotation

算法1:Givens旋转的排序QR分解

```

1: 输入信道传输矩阵  $H_{N_R \times N_T} = [h_1, h_2, \dots, h_{N_T}]$ 
2: 输出分解后得到的上三角矩阵  $R$ 
3: Initialization  $R = H$ ;
4: Rotate
5: for  $j = 1, \dots, N_T$ 
6:   for  $t=j, \dots, N_T$ 
7:      $\text{norm}_t = |h_t|$ 
8:   end for
9:    $k = \arg \min_{j=i, \dots, N_T} \text{norm}_j$ 
10: 交换矩阵  $R$  的第  $i$  和第  $j$  列
11: for  $i = N_R, \dots, j+1$ 
12:   计算当前的旋转角度并构建旋转矩阵  $\Theta_u$ 
13:    $R = \Theta_u R$ 
14: end for
15: end for

```

2 FPGA 实现方案

2.1 整体结构设计

为了硬件实现排序的QR分解,我们提出的整体结构如图3所示.该结构主要由三个部分组成:信道矩阵的存储RAM、范数排序单元以及Givens迫零旋转单元.为了方便范数计算以及Givens旋转,信道矩阵以列向量的形式存储到RAM中.范数排序单元对RAM地址中的列向量重新进行映射.映射的结果同样按列向量的形式保存到由RAM构成的Buffer中.Givens迫零旋转单元一次只对一列进行迫零.对于 $N_R \times N_T$ 的信道矩阵 H ,则需要 N_T 次迭代且在每一次迭代之前重新对列向量排序.

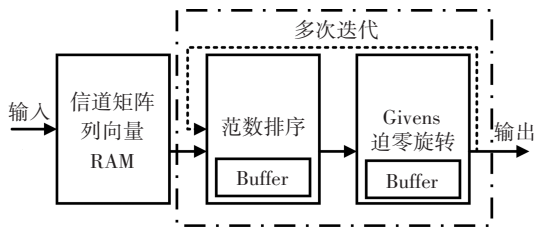


图3 排序QR分解结构

Fig.3 The architecture of sorted QR decomposition

2.2 排序方案设计

相较于传统的QR分解算法,排序的QR分解在实现过程中不可避免地会引入排序延迟.目前研究者们基于FPGA的并行排序已经设计出了不同的方案^[23-26].考虑在QR分解的实现方案中,以矩阵列向量串行输入,通过构建脉动阵列的方式,达到节省资源的目的.因此,本文构建了基于迭代的串行排序单元.图4展示了该单元的硬件结构.它由2个数据寄存器、2个多路选择器和1个比较器组成.

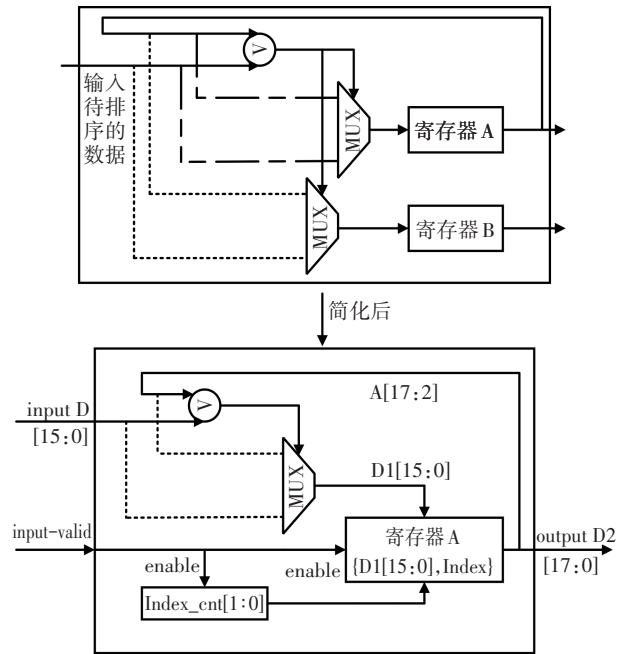


图4 串行迭代排序单元

Fig.4 Sorting unit based on serial iteration

我们假设当前按照升序排序.寄存器A在初始化时,存储当前位宽下所能表示的最大无符号数.当待排序的数据被送入该排序单元,立刻与寄存器A中的数据进行比较.较小的数据被写入寄存器A,较大的数据被写入寄存器B用于后续的迭代比较.在排序的QR分解中,我们需要找到L1范数最小的列向量.因此我们做了进一步的简化.简化后的排序单元只需要1个寄存器、1个比较器和1个多路选择器.但多了一个索引计数器.索引计数器的计数值范围为0~3,初始化为0.待排序的数据以每个时钟1个数据的方式串行送入该排序单元.信号input_valid高电平表明当前输入数据有效.同时索引计数器和寄存器A利用该信号完成数据的更新.当数据D被送入该单元后,立刻与寄存器A中的数进行比较.如果D小于A,则将数据D连同当前的索引计数值一同写入寄存器A,否则寄存器A中的数保持不变.检测in-

put_valid 的下降沿作为排序结束标志, 寄存器 A 和索引计数器同时重新初始化.

2.3 列向量映射交换设计

如 2.1 小节所述, 整体结构中的范数排序单元, 除了完成对信道矩阵 H 列 L1 范数的排序, 还需要依据排序的结果对矩阵列向量进行重新映射. 这里以 4×4 的 H 矩阵第一轮迭代为例说明映射的过程. 为了方便描述, 我们定义矩阵的列向量从左至右依次为第一列、第二列, 并以此类推. 排序 QR 分解的目的在于使得分解后的 R 矩阵的主对角线元素从左至右尽可能按照升序排序. 因此我们选择 L1 范数最小的列与第一列进行交换. 在计算 L1 范数时, 我们从左至右依次读取每一列数据, 然后按照读顺序, 通过修改 RAM 写地址的方式, 完成矩阵的列交换. 图 5 给出了对应的读写流程. 如果排序得到的最小范数由第一列产生, 那么列向量的写地址依次为 $\{0, 1, 2, 3\}$; 如果由第二列产生, 列向量的写地址依次为 $\{1, 0, 2, 3\}$; 如果由第三列产生, 写地址依次为 $\{2, 1, 0, 3\}$; 如果由第四列产生, 写地址依次为 $\{3, 1, 2, 0\}$.

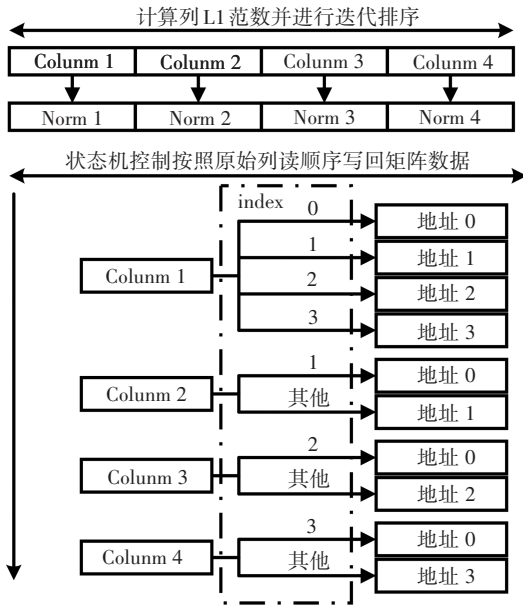


图5 排序映射逻辑

Fig.5 Sorting and mapping logic

2.4 Givens 迫零旋转设计

任何 n 阶复非奇异矩阵 $H=(h_{j,i})$ 可通过左乘有限个复初等旋转矩阵转化为上三角矩阵, 且对角线元素除最后一个外都是正数^[27]. 参考式(11), 在对第 i 列第 j 行元素 $h_{j,i}$ 迫零时, 利用 $h_{j,i}$ 和 $h_{j-1,i}$ 得到旋转角度, 且迫零运算过程中, 矩阵的乘法只对第 j 行元素和第 $j-1$ 行元素产生影响. 图 6 为 4×4 矩阵的 Giv-

ens 旋转运算的过程, 首先利用 X_{31} 和 X_{41} 对 X_{41} 进行迫零, 然后利用第一次迫零的结果 R_{31} 和 X_{21} 对 R_{31} 进行迫零, 最后利用第二次迫零的结果 R_{21} 和 X_{11} 对 R_{21} 进行迫零. 至此第一列属于下三角的元素全部变为 0. 同样的流程, 第二列需要 2 次迫零运算, 第三列需要 1 次迫零运算.

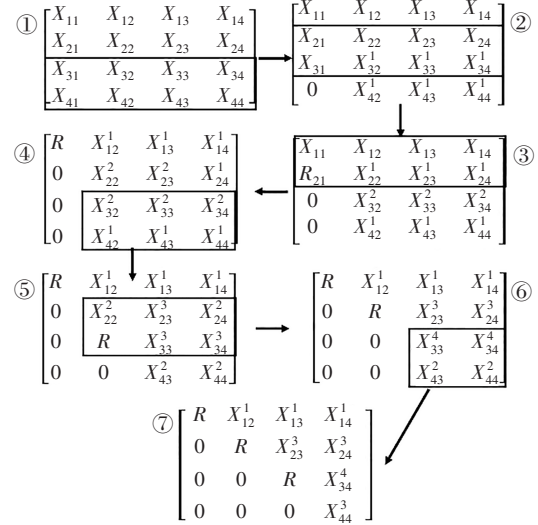


图6 4×4 矩阵 Givens 旋转过程

Fig.6 The process of Givens rotation on 4×4 matrix

为了得到旋转所需要的角度以及完成相应的矩阵乘法运算, 设计了图 7 所示的硬件单元, 包括边界单元和迫零运算单元. 在边界单元中, 通过调用 Xilinx Cordic IP 核得到旋转矩阵所需要的角度, 迫零运算单元主要利用边界单元得到的角度, 完成复数乘法运算.

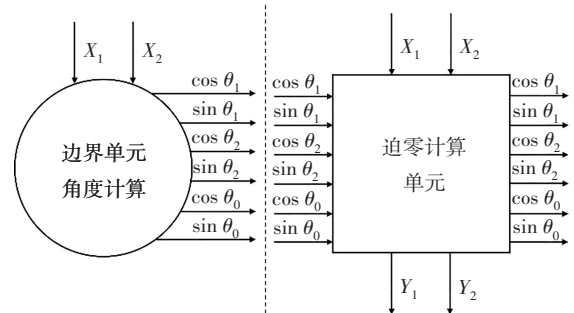


图7 QR 分解硬件组成单元

Fig.7 The hardware units of QR decomposition

结合式(11), 图 8 展示了边界单元具体的角度运算流程. 由于 θ_0 的计算需要先得到 H_{00} 和 H_{10} 的模, 然后再求解反三角得到角度, 最后才能得到正弦和余弦的值. 相较于 θ_1 和 θ_2 的计算, 多出了求解反三角的延迟. 我们对(11)进行改写, 得到:

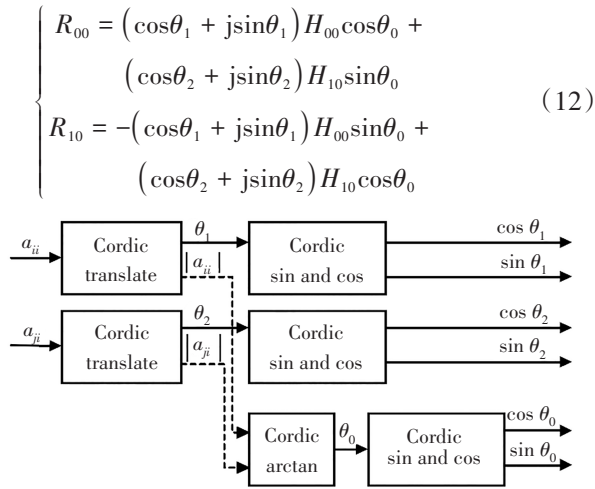


图 8 旋转角度计算流程

Fig.8 The calculation process of rotation angle

我们通过在迫零计算单元中先计算 $(\cos\theta_1 + j\sin\theta_1)H_{00}$ 和 $(\cos\theta_2 + j\sin\theta_2)H_{10}$, 从而可以将求解反三角函数的延迟隐藏在迫零运算中, 达到减少等待延迟的目的. 图 9 展示了基于边界单元和迫零计算单元的脉动阵列结构. 该阵列结构对矩阵第一列除主对角线元素进行迫零运算. 通过逐列读取 RAM 的方式, 完成一轮迫零迭代.

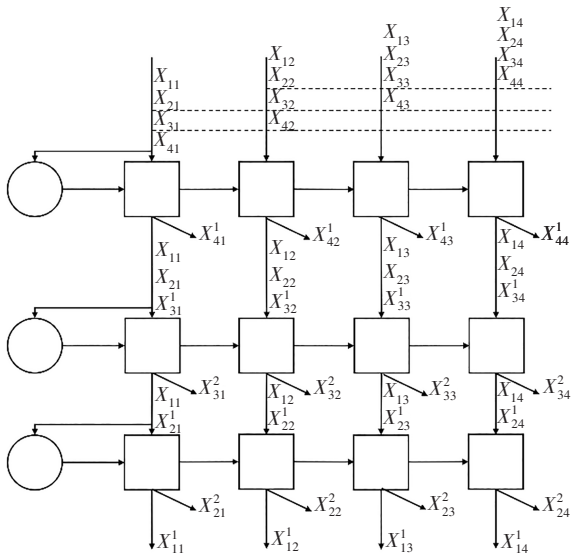


图 9 Givens 旋转脉动阵列

Fig.9 The systolic array of Givens rotation

3 仿真与结果分析

3.1 Matlab 仿真分析

本文利用 Matlab 对不同算法的性能进行对比分析. 实验仿真环境选择数据帧长度为 10 000, 调制方

式采用 16-QAM (Quadrature Amplitude Modulation, QAM) 调制, 信道为平坦瑞利衰落信道, 噪声为均值为 0 的加性高斯白噪声. 图 10 和图 11 以 4×4 MIMO 模型给出了检测算法在不同的 SNR 下的误符号率. 从图 10 中可以看出, 系统误符号率从低到高依次为: ML, Givens 旋转的排序 QR 分解 (Givens SQR), QR 分解, MMSE, ZF.

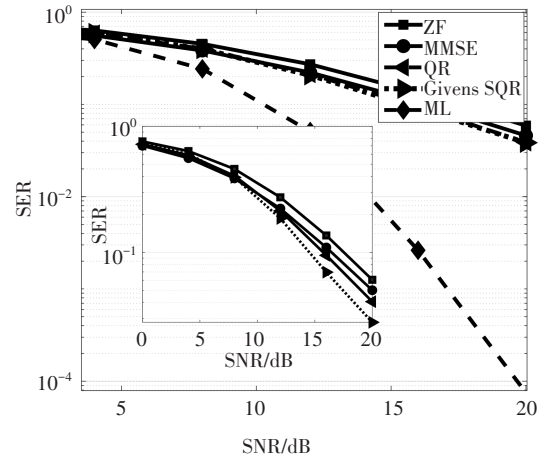


图 10 各类算法性能仿真

Fig.10 The performance simulation of different algorithms

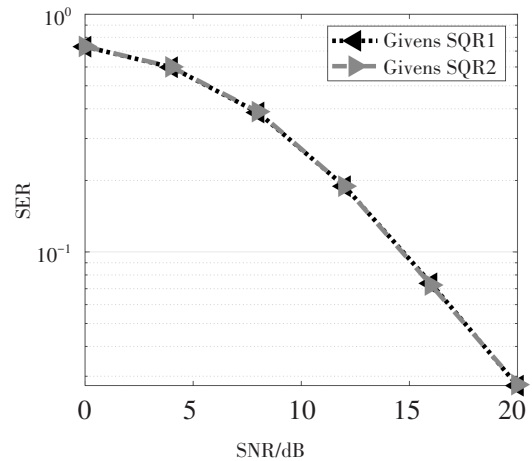


图 11 L1 范数和 L2 范数性能对比

Fig.11 The performance comparison between L1-norm and L2-norm

图 11 给出了分别利用 L1 范数和 L2 范数进行排序对系统性能的影响, 其中 Givens SQR1 表示基于 L1 范数排序, Givens SQR2 表示基于 L2 范数排序. 虽然在 Givens 旋转时引入了排序, 但是并不能使得分解后的 R 矩阵的主对角线元素从左至右严格按照递增的要求排序. 从图 11 的仿真结果来看, 两种排序的方案所起到的效果几乎相同.

表 2 给出了在 4×4 、 32×32 、 64×64 三种 MIMO 模型下的不同 SNR 的误符号率. 从仿真结果来看, 所提出的算法在多种场景下, 其算法性能具有一致性. 当收发天线规模扩大后, 算法的检测性能也进一步提高.

表 2 算法性能对比

Tab.2 The comparison of algorithm performance

规模	策略	4 dB	8 dB	12 dB	16 dB
4×4	L1	0.604 7	0.388 9	0.185 6	0.073 5
	L2	0.604 6	0.389 6	0.184 7	0.071 8
32×32	L1	0.512 8	0.307 5	0.139 8	0.060 2
	L2	0.513 3	0.306 8	0.140 2	0.058 9
64×64	L1	0.491 9	0.291 7	0.134 4	0.058 6
	L2	0.490 0	0.290 0	0.135 4	0.057 6

由于浮点数运算会占用较多的硬件资源, 因此在本文中采用定点数的方式实现整个逻辑的设计. 图 12 以相同的仿真环境展示了不同精度的数据表示对系统性能的影响. 8 位定点小数性能较差. 10 位定点小数性能略低于浮点表示, 但基本满足检测需要. 为了保证运算的精度以及防止数据溢出, 我们采用 16 bit 量化的方式. 其中 1 bit 符号位, 5 bit 整数位, 10 bit 小数位. 数值的表示范围为 $-32 \leq n \leq 31.999\ 023\ 4$, 精度为 $1/2^{10}$.

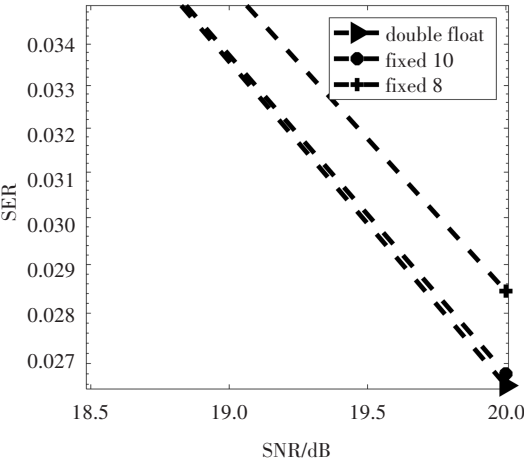


图 12 数据精度对比

Fig.12 The comparison on different precisions

3.2 硬件逻辑仿真

为了验证本文所提结构的正确性. 利用 Mentor Graphics 的 Modelsim 仿真平台搭建仿真环境并与 Matlab 的结果进行对比. 在 Matlab 端产生了 4×4 的平坦瑞利衰落信道并按照 3.1 小节所述进行量化, 量化后的结果作为激励导入到所提设计中.

图 13 展示了对读取的矩阵列向量求解 L1 范数并以其为参考进行排序以完成矩阵列向量交换的过程. Norm_1_result_valid 表明当前求解的范数有效, Norm_1_result_temp 表示某一列向量的 L1 范数值. 按照 RAM 读取顺序, 分别为第一列、第二列、第三列和第四列. Recent_min_norm 表明了当前排序中最小的列向量范数, 其中低 2 bit 为该范数所对应的列向量标号. Norm_sorting_finish 标志着列向量排序结束. Ram_data_o 表示按照读顺序需要重新写入 RAM 的数据. Ram_data_addr 为当前 Ram_data_o 所要写入的 RAM 地址. 由于当前迫零迭代下, 第一列的范数最小, 因此按照 2.3 节的地址映射逻辑, 写地址依次为 0, 1, 2, 3. 参考 Matlab, L1 范数的求解和排序交换映射逻辑正确.

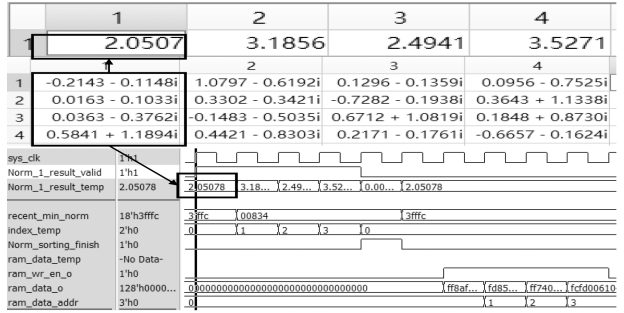


图 13 排序并交换列向量

Fig.13 Sorting and exchanging matrix columns

图 14 展示了 QR 分解的 Modelsim 仿真和 Matlab 仿真的对比结果. 此时 Matlab 仿真得到的 R 矩阵主对角线元素恰好是单调不减的. 在 Modelsim 仿真图中, Rotate_wr_ram_valid_temp 表明当前写 RAM 数据和地址有效. Rotate_wr_ram_addr_temp 表示当前时钟周期下写数据所对应的写地址. Rotate_wr_ram_dout_temp 表示分解完成后矩阵列向量中的 4 个元素. RAM 地址 0 对应矩阵的第一列, 地址 1 对应矩阵的第二列, 地址 2 对应第三列, 地址 3 对应第四列. 仿真误差范围控制在 10^{-3} 内. 基本满足作为原理模型的需要.

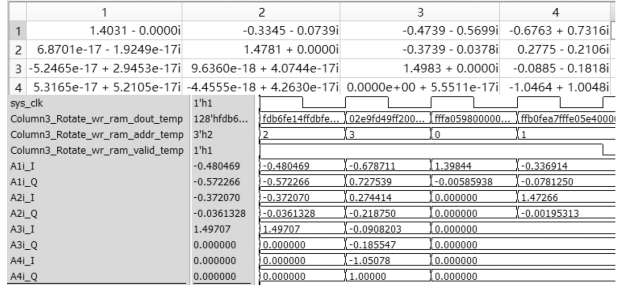


图 14 QR 分解的结果

Fig.14 The results of QR decomposition

3.3 FPGA 布局实现

本文主要是利用矩阵 L1 范数来替换 L2 范数. 对于 4×4 复矩阵, 每列中包含 4 个复数. L1 范数可以直接利用 Xilinx Cordic IP 核进行求解. L2 范数在忽略开方的情况下, 可以利用复数乘法器乘共轭复数或者在模值的基础上做平方运算获得. 本文基于 Xilinx FPGA VC709 开发套件, 以默认综合选项对相关资源进行了评估. 表 3 给出了 Cordic 核进行 8 次旋转迭代, 复数乘法器以及无符号数乘法器所需要的硬件资源, 其中数据位宽都是 16 bit. FF 表示触发器资源, LUT 表示查找表资源. 因此, 对于一个 4×4 矩阵求某一列向量 L1 范数时, 需要 2 424 个 LUT, 2 504 个 FF. 而求 L2 范数时, 至少需要 3 428 个 LUT, 3 708 个 FF. 表 4 中给出了整体资源使用情况及电路性能. 为了便于流水线实现, 我们对每一级运算结果都做了缓存, 因此占用了较多的存储资源.

表 3 计算单元资源利用情况

Tab.3 The resource utilization of computing units

类别	Cordic	复数乘法	乘法
Slice LUTs	606	1 023	251
Slice FFs	626	1 111	301

表 4 整体资源消耗情况

Tab.4 The resource utilization of the entire design

类别	文献[20]	文献[14]	本文
平台	Virtex5	Virtex6	VC709
矩阵维度	4×4	4×4	4×4
排序	X	X	√
主频/MHz	246	128	333
Slice	—	1 851	20 315
Slice LUTs	21 356	—	71 737
Slice FFs	16 929	—	78 984
BRAM	426	—	512
DSP48	28	—	448

图 15 展示了基于 VC709 FPGA 设计的 QR 分解硬件电路板级测试结果. 利用 Matlab 将经过量化后的两个 4×4 复矩阵导出成 Coefficient 文件, 作为板级测试的初始化文件, 并保存在只读存储器 ROM 中. 当 FPGA 上电后, QR 分解处理单元循环地从 ROM 中读取数据进行运算. 通过调用 Xilinx 提供的集成逻辑分析仪 IP 核对运算结果实时抓取. OUT_VALID 高电平表明当前时刻运算结果有效. A_{ij_I} 表示矩阵第 i 行第 j 列元素的实部, A_{ij_Q} 表示矩阵第 i 行第 j 列元素的虚部. 图中以矩阵第四列的结

果进行了展示. 板级测试结果与仿真预期结果一致, 结果正确.

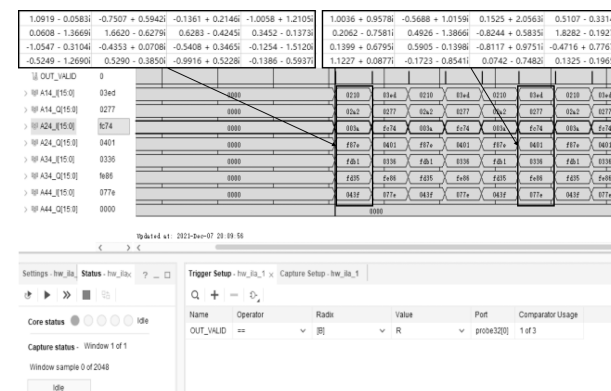


图 15 FPGA 板级测试结果

Fig.15 The test results on FPGA

4 结 论

本文基于矩阵列向量的 L1 范数设计了排序的 QR 分解硬件电路结构. 利用 L1 范数进行排序, 单列计算中 LUT 资源至少节省 29.2%, FF 资源至少节省 32.4%. 通过 Matlab 仿真, 所提出的优化算法在大规模 MIMO 场景下仍有适用空间. 针对范数排序问题, 我们设计了基于串行迭代排序单元, 只需要利用一个比较器便可完成一次迭代中的排序需要. 在每次 Givens 旋转角度计算中, 我们依靠 6 个 Cordic 核完成相应的运算. 并基于脉动阵列构建了矩阵乘法运算单元. 对 4×4 复矩阵进行分解时, 本文所提出的结构主频性能得到明显改善并通过仿真以及板级测试分析, 电路功能正确.

参考文献

- [1] PENG G Q, LIU L B, ZHOU S, *et al.* Algorithm and architecture of a low-complexity and high-parallelism preprocessing-based K-best detector for large-scale MIMO systems [J]. IEEE Transactions on Signal Processing, 2018, 66(7): 1860–1875.
- [2] 张铭, 李莉, 周小平, 等. MIMO 系统中垂直分层空时检测算法的性能分析 [J]. 上海师范大学学报 (自然科学版), 2021, 50(1): 78–83.
ZHANG M, LI L, ZHOU X P, *et al.* Performance analysis of V-BLAST signal detection algorithm in MIMO system [J]. Journal of Shanghai Normal University (Natural Sciences), 2021, 50(1): 78–83. (In Chinese)
- [3] GHODS R, JEON C, MALEKI A, *et al.* Optimal data detection and signal estimation in systems with input noise [J]. IEEE Transactions on Signal Processing, 2021, 69: 5105–5119.
- [4] 高翟, ZHU Xu (Judy), 杨敏, 等. 蜂窝系统导频的一种小尺度

- 复用方法[J]. 湖南大学学报(自然科学版), 2020, 47(12): 95-107.
- GAO Z, ZHU X, YANG M, *et al.* A method of small-scale pilot reuse in cellular systems[J]. Journal of Hunan University (Natural Sciences), 2020, 47(12): 95-107. (In Chinese)
- [5] HE S W, ZHANG Y, WANG J H, *et al.* A survey of millimeter-wave communication: physical-layer technology specifications and enabling transmission technologies[J]. Proceedings of the IEEE, 2021, 109(10): 1666-1705.
- [6] 史开新. MIMO系统中信号检测技术的研究[D]. 西安: 西安电子科技大学, 2008.
- SHI K X. Signal detection in MIMO system[D]. Xi'an: Xidian University, 2008. (In Chinese)
- [7] 卢美玲. MIMO系统中的低复杂度信号检测算法研究[D]. 南京: 南京邮电大学, 2020.
- LU M L. Research on low complexity signal detection algorithm in MIMO systems[D]. Nanjing: Nanjing University of Posts and Telecommunications, 2020. (In Chinese)
- [8] RIADI A, BOULOUIRD M, HASSANI M M. ZF/MMSE and OSIC detectors for UpLink OFDM massive MIMO systems[C]//2019 IEEE Jordan International Joint Conference on Electrical Engineering and Information Technology. Amman, Jordan: IEEE, 2019: 767-772.
- [9] 付向聪. 室内高速MIMO-OFDM系统接收机信号检测技术研究[D]. 西安: 西安电子科技大学, 2020.
- FU X C. Research on receiver signal detection technology for indoor high-speed MIMO-OFDM system[D]. Xi'an: Xidian University, 2020. (In Chinese)
- [10] VIEIRA J, LARSSON E G. Reciprocity calibration of distributed massive MIMO access points for coherent operation[C]//2021 IEEE 32nd Annual International Symposium on Personal, Indoor and Mobile Radio Communications. Helsinki, Finland: IEEE, 2021: 783-787.
- [11] SHEN C G, ELTAWIL A M. A radius adaptive K-best decoder with early termination: algorithm and VLSI architecture[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(9): 2476-2486.
- [12] CASTAÑEDA O, GOLDSTEIN T, STUDER C. Data detection in large multi-antenna wireless systems via approximate semidefinite relaxation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2016, 63(12): 2334-2346.
- [13] LIAO C F, WANG J Y, HUANG Y H. A 3.1 gb/s 8×8 sorting reduced K-best detector with lattice reduction and QR decomposition[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 22(12): 2675-2688.
- [14] ZHAO W, LIN J Q, CHAN S C. Throughput/area efficient FPGA implementation of QR decomposition for MIMO systems[C]//2016 IEEE International Conference on Digital Signal Processing. Beijing, China: IEEE, 2016: 522-526.
- [15] LEE H, KIM H, CHO M, *et al.* Low-latency implementation of CORDIC-based sorted QR decomposition for high-speed MIMO-OFDM system[C]//2018 28th International Conference Radioelektronika (RADIOELEKTRONIKA). Prague, Czech Republic: IEEE, 2018: 1-4.
- [16] CHEN L R, XING Z C, LI Y Z, *et al.* Efficient MIMO preprocessor with sorting-relaxed QR decomposition and modified greedy LLL algorithm[J]. IEEE Access, 2020, 8: 54085-54099.
- [17] WU M, YIN B, WANG G H, *et al.* Large-scale MIMO detection for 3GPP LTE: algorithms and FPGA implementations[J]. IEEE Journal of Selected Topics in Signal Processing, 2014, 8(5): 916-929.
- [18] HIGUCHI S, MARUTA K, AHN C J. Efficient channel column sorting method based on householder transformation for QRM-MLD[C]//2018 IEEE Seventh International Conference on Communications and Electronics. Hue, Vietnam: IEEE, 2018: 151-154.
- [19] YAN Z T, HE G H, REN Y F, *et al.* Design and implementation of flexible dual-mode soft-output MIMO detector with channel preprocessing[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(11): 2706-2717.
- [20] ASLAN S, NIU S F, SANHE J. FPGA implementation of fast QR decomposition based on givens rotation[C]//2012 IEEE 55th International Midwest Symposium on Circuits and Systems. Boise, ID, USA: IEEE, 2012: 470-473.
- [21] 李丽, 曾凡仔, 徐纪胜. 认知无线网络中基于能量采集的单向中继选择与功率分配方案[J]. 湖南大学学报(自然科学版), 2021, 48(4): 66-73.
- LI L, ZENG F Z, XU J S. A joint relay selection and power allocation scheme based on energy harvesting in cognitive radio networks[J]. Journal of Hunan University (Natural Sciences), 2021, 48(4): 66-73. (In Chinese)
- [22] HUANG Z Y, TSAI P Y. Efficient implementation of QR decomposition for gigabit MIMO-OFDM systems[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2011, 58(10): 2531-2542.
- [23] ANTONOV A, BESEDIN D, FILIPPOV A. Research of the efficiency of high-level synthesis tool for FPGA based hardware implementation of some basic algorithms for the big data analysis and management tasks[C]//2020 26th Conference of Open Innovations Association (FRUCT). Yaroslavl, Russia: IEEE, 2020: 1-7.
- [24] JELODARI P T, KORDASIABI M P, SHEIKHAEI S, *et al.* An O(1) time complexity sorting network for small number of inputs with hardware implementation[J]. Microprocessors and Microsystems, 2020, 77: 103203.
- [25] YAN D, WANG W X, ZUO L, *et al.* A novel scheme for real-time max/Min-set-selection sorters on FPGA[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(7): 2665-2669.
- [26] LAI B C, CHEN C Y, HSIN Y D, *et al.* A two-directional Big-Data sorting architecture on FPGAs[J]. IEEE Computer Architecture Letters, 2020, 19(1): 72-75.
- [27] 杜鹃, 冯思臣. 复矩阵的Givens变换及其QR分解[J]. 成都理工大学学报(自然科学版), 2011, 38(6): 693-696.
- DU J, FENG S C. Givens transformation and QR factorization of complex matrix[J]. Journal of Chengdu University of Technology (Science & Technology Edition), 2011, 38(6): 693-696. (In Chinese)