

## 高精度流水线逐次逼近混合型模数转换器设计

叶茂<sup>1,2</sup>, 白春阳<sup>1,2</sup>, 郑肖肖<sup>1,2</sup>, 赵毅强<sup>1,2†</sup>

(1. 天津大学 微电子学院, 天津 300072;

2. 天津大学 天津市成像与感知微电子技术重点实验室, 天津 300072)

**摘要:**为满足数字X射线系统中光电二极管阵列读出电路对平均性能优越的模数转换器(analog-to-digital converter, ADC)的要求,设计一款高精度流水线逐次逼近混合型模数转换器.采用带有预放大级的增益增强型放大器结构,实现了高效能运放设计.使用最低有效位(least significant bit, LSB)平均抗噪声方法,简化第二级比较器结构,有效降低了系统功耗.运用基于延迟锁相环(delay-locked loop, DLL)反馈环路实现比较器时钟自调节,提高了异步时序鲁棒性.基于0.18  $\mu\text{m}$  EPI BCD工艺完成对ADC电路设计、版图绘制和后仿真验证.在5.0 V供电电压、5 MS/s采样率的条件下,有效位数ENOB为15.61 bit,信噪失真比SNDR为95.73 dB,非杂散动态范围SFDR为110.72 dB.

**关键词:**集成电路;模数转换器;LSB平均抗噪声;DLL时钟自调节环路;高效能运放

**中图分类号:** TN792

**文献标志码:** A

## High-precision Pipelined-successive Approximation Register Hybrid Analog-to-digital Converter Design

YE Mao<sup>1,2</sup>, BAI Chunyang<sup>1,2</sup>, ZHENG Xiaoxiao<sup>1,2</sup>, ZHAO Yiqiang<sup>1,2†</sup>

(1. School of Microelectronics, Tianjin University, Tianjin 300072, China;

2. Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, Tianjin University, Tianjin 300072, China)

**Abstract:** To meet the requirements of the readout circuit of the photodiode array in the digital X-ray system for an analog-to-digital converter (ADC) with superior average performance, a high-precision pipelined-successive approximation register analog-to-digital converter is designed. It features a gain-enhanced amplifier structure with a pre-amplification stage to realize the high efficiency amplifier. The use of the least significant bit (LSB) averaging noise-resistant method simplifies the structure of the second-stage comparator, effectively reducing overall system power consumption. The self-adjusted comparator clock is also realized using a feedback loop based on a delay-locked loop (DLL), enhancing asynchronous timing robustness. The ADC circuit design, layout, and post-simulation verification were completed using the 0.18  $\mu\text{m}$  EPI BCD process. Under 5.0 V supply voltage and 5 MS/s sampling rate conditions, the ADC achieves an ENOB of 15.61 bits, an SNDR of 95.73 dB, and an SFDR of 110.72 dB.

\* 收稿日期:2023-12-27

基金项目:国家重点研发计划资助项目(2023YFB4402800), National Key Research and Development Program of China (2023YFB4402800)

作者简介:叶茂(1987—),男,湖南长沙人,天津大学副教授,博士

† 通信联系人, E-mail: yq\_zhao@tju.edu.cn

**Key words:** integrated circuits; analog-to-digital converter; LSB averaging noise-resistant; DLL clock self-adjustment loop; high efficiency amplifier

X 射线因其波长极短、能量很大、穿透性很强的特点被广泛应用在医疗、工业探测、航天探索等领域<sup>[1]</sup>. 近年来,为解决传统 X 射线胶片患者暴露面积大、图像信号弱、患者吞吐量低的问题,数字 X 射线图像采集系统快速发展. 数字 X 射线图像采集系统中光电二极管阵列的列级像素单元共用一个 ADC,同时 X 射线穿过软组织数目指数减少,对 ADC 的精度和速度提出了高要求<sup>[2]</sup>. 由于光电二极管阵列同时使用多个 ADC,为避免各列之间出现伪影,要求 ADC 具有良好的线性度. 由此,对应用于数字 X 射线图像采集系统的综合性能优越的 ADC 需求越来越迫切. 传统流水线型 ADC 为了提高速度,其电路规模扩大,功耗急剧提高;而传统的逐次逼近型 ADC 虽规模更小,功耗更低,但其工作原理使其速度受限<sup>[3-4]</sup>. 综合两种结构模数转换器优势互补的特性,近年来国内外研究者提出了在控制功耗的前提下提升 ADC 精度和速度指标的高精度流水线逐次逼近混合型 (pipelined-successive approximation register, Pipelined SAR) ADC 结构,但该结构仍存在一些问

题: 1) 为了降低子级 ADC 比较器噪声需要使用低噪声比较器,从而使其功耗提高. 现有的取代低噪声比较器的方案因引入残差放大器而使其设计难度提高<sup>[5]</sup>. 2) 在使用闭环运放的 ADC 设计方案中,为实现高性能,运放会使功耗提高. 3) 为降低时钟抖动,ADC 采用异步时序控制,在子级逐次逼近混合型 ADC 中,为保证电容阵列数模转换器 (capacitive array digital-to-analog converter, CDAC) 建立时间,提升了比较器时钟的设计难度,提高了系统对异步时序鲁棒性的要求. 针对上述问题,本文设计了一种综合性能优越的 Pipelined SAR ADC, 使用最低有效位 (least significant bit, LSB) 平均抗噪声方法<sup>[6]</sup>提高系统对第二级比较器噪声容限,简化了第二级比较器结构. 使用带有预放大级的增益增强型运放<sup>[2]</sup>,在限制功耗的前提下提高运放的速度. 为解决异步比较器时钟设计困难问题,提出基于延迟锁相环 (delay-locked loop, DLL) 反馈环路的比较器时钟自调节方案,提高了异步时序鲁棒性. 通过后仿真验证了 ADC 性能的优越性.

1 Pipelined SAR ADC 整体架构

本文设计的 Pipelined SAR ADC 整体架构如图 1 所示. 基于 0.18  $\mu\text{m}$  EPI BCD 工艺设计,联合考虑 ADC 线性度、噪声及功耗,采用两级“8+9”的整体架构,异步时序逻辑控制,第一级 8 bit 量化结果与第二

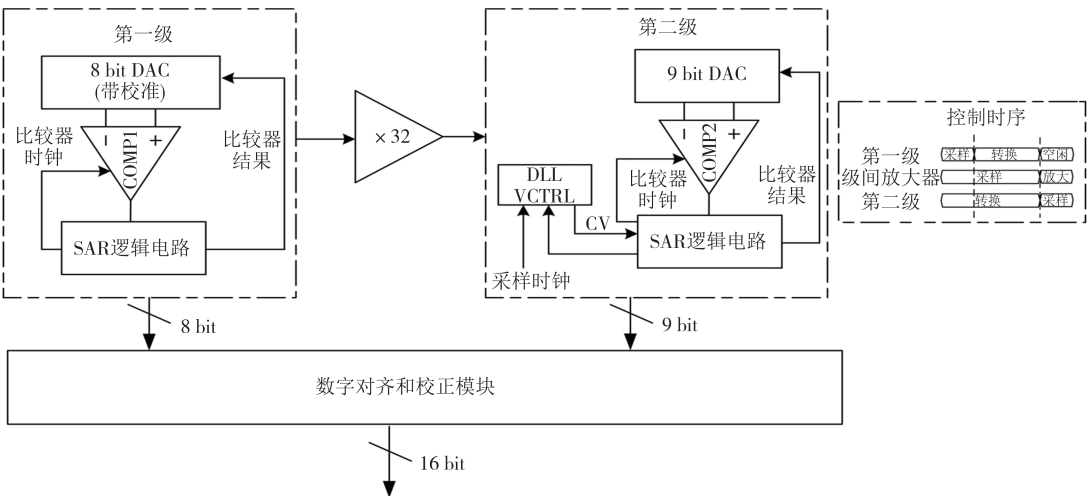


图 1 Pipelined SAR ADC 整体架构  
Fig.1 Overall architecture of Pipelined SAR ADC

级 9 bit 量化结果通过数字校正单元输出 16 bit 量化结果. ADC 主要包括 CDAC、比较器、SAR 逻辑电路、余差放大器、异步时钟产生电路、失配校准控制逻辑电路等模块. 采用带有预放大级的增益增强型套筒式共源共栅结构的余差放大器实现 32 倍的级间增益, 在控制功耗的同时提高余差放大器的速度. 为降低失调和噪声, 第一级比较器采用带有两级预放大器的全差分比较器结构. 利用 LSB 平均抗噪声方法提高系统对第二级比较器噪声的容限, 从而简化第二级比较器的结构, 使用带有一级预放大器的全差分比较器结构, 降低功耗. 此外, 在第二级使用基于 DLL 的反馈环路实现比较器时钟的自调节, 缓解 DAC 建立时间设计的复杂性, 提高异步时序的鲁棒性. 余差放大器在第一级转换后的空闲时间对余差放大, 第二级在余差放大器的采样时间转换.

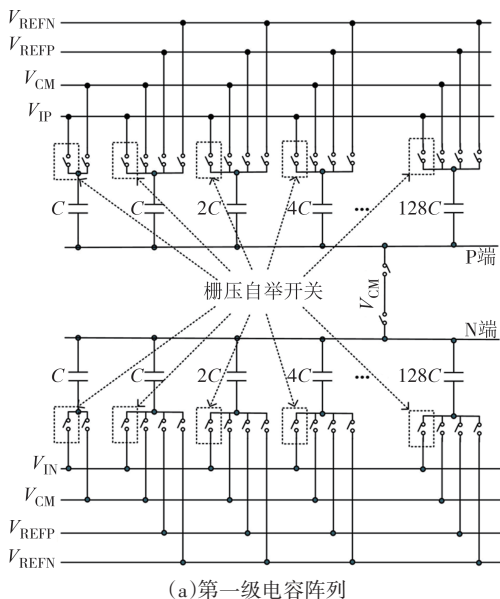
### 1.1 CDAC 设计

本文采用基于共模电平的开关切换方案, 如图 2 所示. 在采样阶段, 电容阵列正负端上极板连接共模电平  $V_{CM}$ , 电容阵列正端(P端)下极板连接差分输入信号  $V_{IP}$ , 电容阵列负端(N端)下极板连接差分输入信号  $V_{IN}$ . 计算采样阶段电容阵列总电荷为:

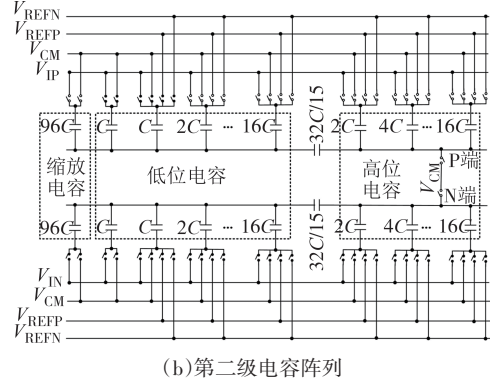
$$\begin{cases} Q_P = (V_{IP} - V_{CM}) \times 256C_1 \\ Q_N = (V_{IN} - V_{CM}) \times 256C_1 \end{cases} \quad (1)$$

式中:  $C_1$  为第一级单位电容;  $Q_P$  为 P 端电容上电荷;  $Q_N$  为 N 端电容上电荷.

采样阶段结束后, 电容阵列正负端上极板先与共模电平  $V_{CM}$  断开, 电容阵列正负端下极板连接共模电平  $V_{CM}$ . 计算采样阶段结束后电容阵列总电荷:



(a)第一级电容阵列



(b)第二级电容阵列

图2 电容阵列结构

Fig.2 Capacitor array structure

$$\begin{cases} Q_P = (V_{CM} - V_{TOP\_P}) \times 256C_1 \\ Q_N = (V_{CM} - V_{TOP\_N}) \times 256C_1 \end{cases} \quad (2)$$

式中:  $V_{TOP\_P}$  为电容阵列正端(P端)上极板电压;  $V_{TOP\_N}$  为电容阵列负端(N端)上极板电压.

根据电荷守恒:

$$\begin{cases} V_{TOP\_P} = 2V_{CM} - V_{IP} \\ V_{TOP\_N} = 2V_{CM} - V_{IN} \end{cases} \quad (3)$$

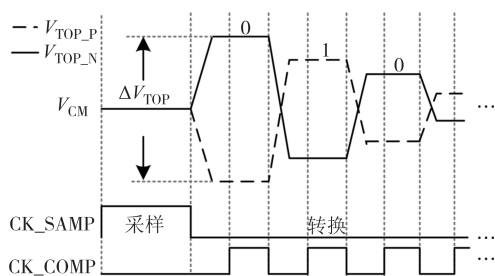
采样阶段结束后, 如果  $V_{TOP\_P} < V_{TOP\_N}$ , 比较器结果为 0, 在比较器第 1 次比较结束后, 电容阵列正端(P端)最高位电容下极板切换至基准电平  $V_{REFN}$  (本设计中为 0), 电容阵列负端(N端)最高位电容下极板切换至基准电平  $V_{REFP}$  (本设计中为 5.0 V), 电容阵列其余电容下极板连接共模电平  $V_{CM}$ . 计算第一次逼近电容阵列总电荷:

$$\begin{cases} Q_P = (V_{CM} - V_{TOP\_P}) \times 128C_1 + (0 - V_{TOP\_P}) \times 128C_1 \\ Q_N = (V_{CM} - V_{TOP\_N}) \times 128C_1 + (V_{REFP} - V_{TOP\_N}) \times 128C_1 \end{cases} \quad (4)$$

根据电荷守恒:

$$\begin{cases} V_{TOP\_P} = \frac{3}{2}V_{CM} - V_{IP} \\ V_{TOP\_N} = \frac{3}{2}V_{CM} - V_{IN} + \frac{1}{2}V_{REFP} \end{cases} \quad (5)$$

电容阵列上极板电压如图 3 中  $V_{TOP\_P}$  和  $V_{TOP\_N}$  所示. 其中,  $CK\_SAMP$  表示采样时钟,  $CK\_COMP$  表示比较器时钟. 重复上述逐次逼近过程, 第一级获得 8 bit 量化结果, 第二级获得 9 bit 量化结果. 由图 2 可知, 第二级采样阶段用缩放电容与电容阵列采样, 量化阶段只使用电容阵列采样, 使得第二级量化范围缩小至 1/4, 以此降低对余差放大器的闭环增益和输出摆幅的要求.

图3 基于 $V_{CM}$ 的开关切换方案的DAC输出Fig.3 DAC output based on  $V_{CM}$  switching scheme

与传统的单调开关切换方案<sup>[7]</sup>相比,基于 $V_{CM}$ 的开关切换方案能耗更低,转换过程中比较器输入共模维持不变,且在切换前复位至共模电平利于缩短切换时间,提高响应速度。

因为第一级CDAC的电容失配决定了整个ADC系统的积分非线性(integral nonlinearity, INL)指标,为保证ADC的线性度,第一级CDAC选择单段式结构,单位电容为30 fF. 第二级CDAC的电容失配对ADC线性度影响小,为降低规模及余差放大器的负

载电容,第二级选择两段式结构,单位电容为17 fF.

## 1.2 失配误差校准

电容阵列的失配误差会影响ADC的线性度,进而降低ADC的有效位数. 为达到16 bit的量化精度,必须进行失配误差校准,本设计针对第一级8 bit电容进行前台校准。

所设计的前台校准算法流程图如图4所示. 由校准使能信号CAL\_EN控制ADC是否进入校准模式, CAL\_EN信号为1时进入校准模式,否则ADC处于正常工作模式. 以第一级最高位电容的校准过程为例,校准模式下采样阶段正端(P端)校准位电容下极板连接 $V_{REFP}$ ,其他位电容下极板连接 $V_{CM}$ ;负端(N端)校准位电容下极板连接 $V_{REFN}$ ,其他位电容下极板连接 $V_{CM}$ . 计算电容阵列总电荷为:

$$\begin{cases} Q_P = (V_{REFP} - V_{CM}) \times (C_8 + \Delta C_8) \\ Q_N = (V_{REFN} - V_{CM}) \times (C_8 + \Delta C_8) \end{cases} \quad (6)$$

式中: $C_8$ 为第一级最高位电容值; $\Delta C_8$ 为第一级最高位电容的失配误差。

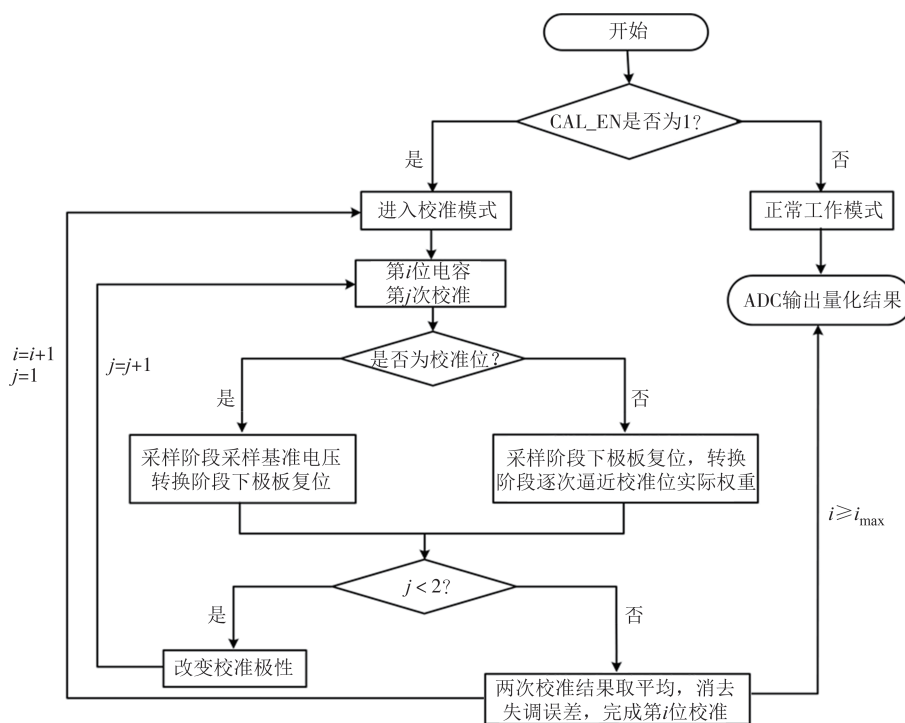


图4 前台校准算法流程图

Fig.4 Flowchart of the foreground calibration algorithm

校准模式下量化阶段,低位电容下极板连接 $V_{CM}$ ,电容阵列上极板电压按照比较器结果逐次逼近,将校准位电容的失配误差量化. 计算电容阵列总电荷为:

$$\begin{cases} Q_P = (V_{CM} - V_{TOP\_P} + V_{OS}) \times (2C_8 + \Delta C_8) \\ Q_N = (V_{CM} - V_{TOP\_N}) \times (2C_8 + \Delta C_8) \end{cases} \quad (7)$$

式中: $V_{OS}$ 为失调误差. 根据电荷守恒,计算最高位量化实际权重。



$$\Delta V_{TOP} = \frac{C_8 + \Delta C_8}{2C_8 + \Delta C_8} (V_{REFN} - V_{REFP} + V_{OS}) \tag{8}$$

变换极性,调换  $V_{REFN}$  和  $V_{REFP}$  电压值再次校准,两次校准结果相减取平均,实现用低于校准位的电容阵列对校准位电容失配的量化,同时消去失调误差的影响.从低到高位电容依次校准后,得到实际电容阵列的权重.

1.3 LSB 平均抗噪声方法

比较器噪声是限制 SAR ADC 实现高精度的重要因素,传统降低比较器噪声的方法功耗高<sup>[5]</sup>. LSB 平均抗噪声方法是针对采样后转换阶段的比较器噪声通过取多次比较结果平均的方法优化比较器的决策以降低转换阶段的噪声有效值<sup>[2]</sup>,以达到在保证 ADC 精度的条件下提高比较器噪声容限、简化比较器结构的目的.

LSB 平均抗噪声方法效果如图 5 所示. LSB 平均抗噪声方法只在一定的噪声阈值内起作用,对于过高的比较器噪声,LSB 的比较器输出结果都是错误的;对于过低的比较器噪声,LSB 的比较器输出结果都是正确的.这两种情况下 LSB 平均抗噪声方法都无效.

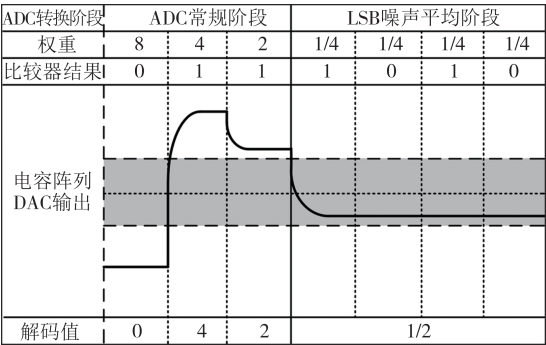


图5 LSB 平均抗噪声方法效果

Fig.5 Effectiveness of LSB averaging noise-resistant method

利用 MATLAB 软件对 LSB 平均抗噪声方法在不同比较器噪声水平下的效果进行建模仿真. 针对比较器噪声水平为 0.0LSB~0.8LSB 的情况,通过 MATLAB 模型分别对平均次数  $M$  为 1~8 次仿真,得到 ADC 信噪比,结果如图 6 所示. 在相同比较器噪声水平下,平均次数越高,ADC 信噪比越高,在大约 0.3LSB 的比较器噪声水平下,LSB 平均抗噪声方法的效果最好.

在 0.3 LSB 比较器噪声水平下,对不同平均次数 LSB 平均抗噪声方法的效果进行建模仿真,结果如图 7 所示,随着 LSB 平均次数上升,ADC 信噪比单调上升,但是在 LSB 平均次数大于 4 次后,提升 LSB 平

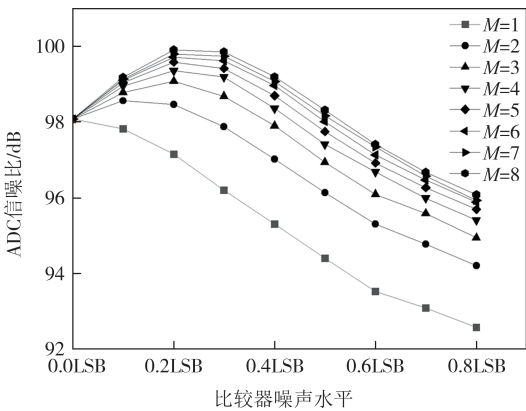


图6 不同比较器噪声水平 LSB 平均抗噪声方法效果

Fig.6 Effectiveness of LSB averaging noise-resistance method under various comparator noise levels

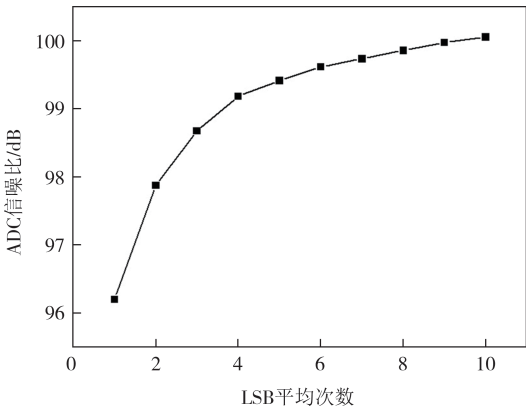


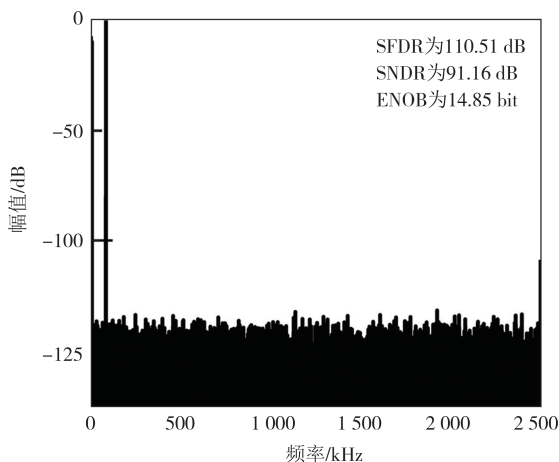
图7 0.3LSB 比较器噪声水平下 ADC 信噪比随 LSB 平均次数的变化曲线

Fig.7 The SNR of the ADC with different LSB averaging counts at 0.3LSB comparator noise level

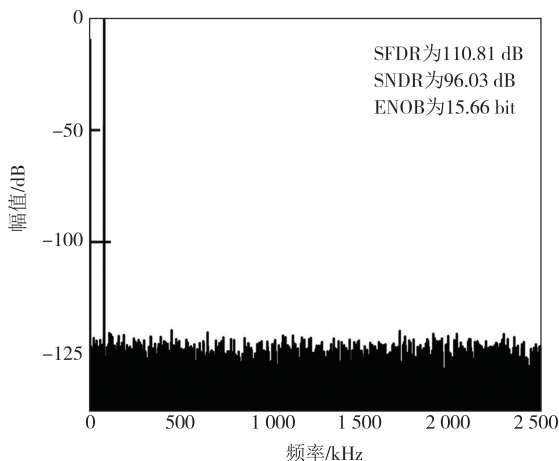
均次数对提升 ADC 信噪比的影响变小. 同时,每增加 1 次 LSB 平均次数要牺牲比较器时钟对应的量化时间,所以选择 4 次平均来实现 LSB 平均抗噪声方法.

通过 ADC MATLAB 模型对使用 LSB 平均抗噪声方法前后 ADC 输出频谱图进行仿真,如图 8 所示,使用该方法前后 ADC 有效位数分别为 14.85 bit 和 15.66 bit. 可见使用该方法可以降低 ADC 频谱图的底噪,有效弱化比较器噪声对 ADC 性能的影响.

联合考虑 LSB 平均抗噪声方法, Pipelined SAR ADC 时钟分配如图 9 所示. 考虑 ADC 采样率为 5 MS/s, 采样周期为 200 ns, 分配第一级采样时间 50 ns, 转换时间 150 ns, 转换时间的前 100 ns 比较器完成 8 bit 比较; 余差放大器在第一级采样时间和比较器工作时间共 150 ns 的时间内采样, 在第一级转换时间内第一级比较器工作后剩余的 50 ns 时间内放大; 第二级在余差放大器放大的 50 ns 时间内采样, 在余差放大



(a)采用LSB平均抗噪声方法前



(b)采用LSB平均抗噪声方法后

图 8 采用LSB平均抗噪声方法前后ADC输出频谱图

Fig.8 ADC output spectra with LSB averaging noise-resistant method on and off

器采样的150 ns内完成转换,转换时间适应比较器9次比较与LSB平均抗噪声方法引入的4次冗余比较.

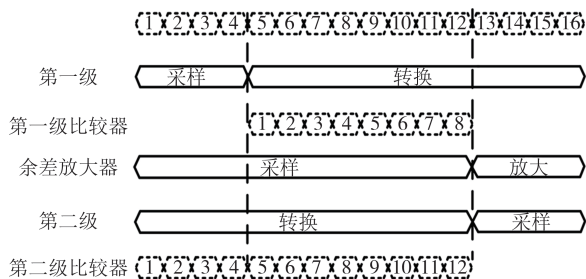


图 9 Pipelined SAR ADC 时钟分配

Fig.9 Clock distribution for Pipelined SAR ADC

## 2 具体电路设计

### 2.1 带预放大级余差放大器

余差放大器是Pipelined SAR ADC的关键模块,

为实现ADC 16 bit精度、5 MS/s采样率的设计指标,选择带预放大级的套筒式增益增强型运算放大器结构<sup>[2]</sup>.如图10所示,预放大级在小幅提升直流增益的同时引入远离主极点的次极点,将运放的幅频曲线向上平移,提升运放的闭环带宽,同时使用推挽式输入结构提升运放速度.对比传统套筒式运放,实现相同闭环带宽的条件下,本文运放的功耗降低了20%.运算放大器与第一级电容阵列共256倍单位电容构成的采样电容和8倍单位电容构成的反馈电容共同组成余差放大器模块.

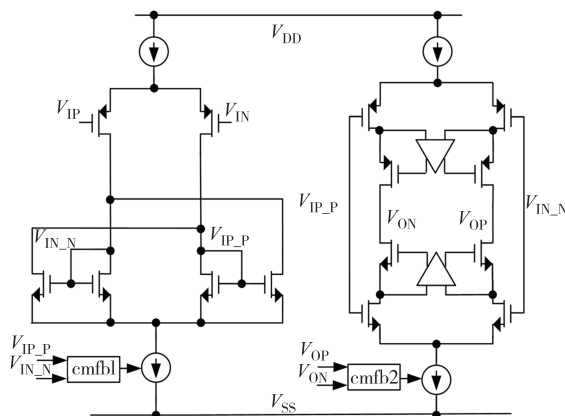


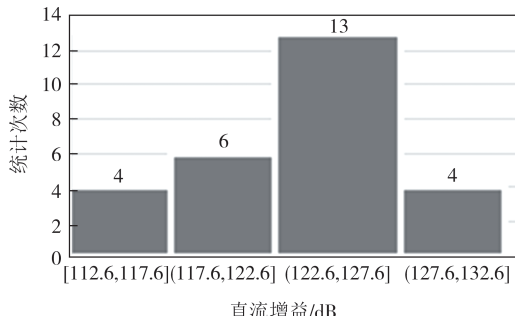
图 10 带预放大级的增益增强型放大器

Fig.10 Gain-enhanced amplifier with pre-amplification stage

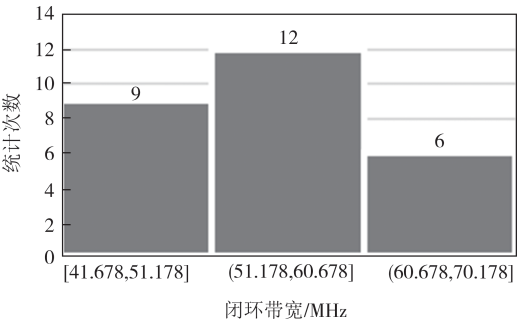
在3.7 pF负载电容,温度为-40~85 ℃,电源电压浮动±5%,FF、TT、SS工艺角下对运放进行交流工艺电压温度(process voltage temperature, PVT)仿真,余差放大器PVT仿真结果如图11所示.由图11可知,最差情况下,运放也可以达到直流增益112.6 dB,32倍闭环增益下闭环带宽41.678 MHz,32倍闭环增益处最差相位裕度63°,且最差增益带宽和最差相位裕度不同时出现,运放设计符合系统指标要求.

### 2.2 比较器的设计

比较器的失调和速度影响ADC的精度和速度,是ADC电路的重要模块之一.为实现第一级13 mV



(a)余差放大器PVT仿真直流增益



(b)余差放大器PVT仿真闭环带宽  
图 11 余差放大器PVT仿真结果  
Fig.11 Residue amplifier PVT simulation results

的比较器失调要求,第一级比较器采用两级预放大加 Latch 的结构<sup>[8]</sup>,如图 12 所示,比较器最后一级的输入失调被两级预放大的增益衰减,比较器的失调主要由第一级预放大的失调决定,通过提高输入管尺寸来提高第一级增益以减小失调,同时两级预放大结构可有效抑制回踢噪声,降低比较器噪声.由于 ADC 第二级使用了前文介绍的 LSB 平均抗噪声方法,比较器噪声容限提高,第二级选择一级预放大加 Latch 结构,简化了比较器结构,降低了比较器的功耗.

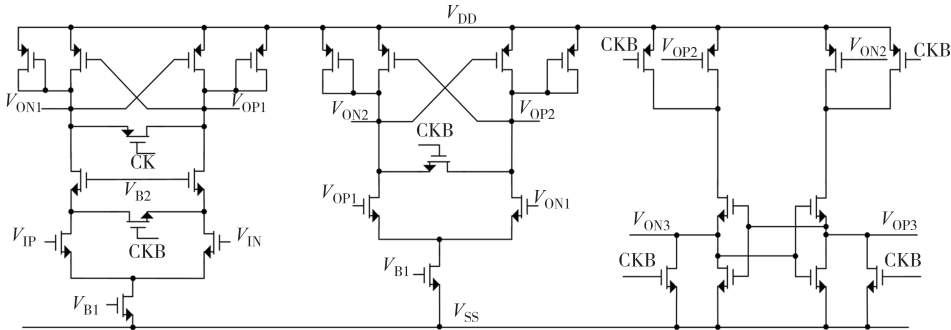


图 12 第一级比较器结构  
Fig.12 First-stage comparator structure

为验证第一级比较器满足 ADC 对失调电压的需求,对首级比较器失调电压进行 200 个点的蒙特卡洛仿真,仿真结果如图 13 所示,由仿真结果可知,第一级比较器失调电压分布为-6.6~6.6 mV,满足失调电压要求.

2.3 异步时钟与 SAR 逻辑控制

传统同步 SAR ADC 外接时钟为 ADC 采样率

10 倍及以上,导致时钟抖动明显,且高速时钟加大了片内时钟接收电路的设计难度<sup>[9]</sup>.本文 ADC 采用异步逻辑控制电路,保证芯片外接时钟与 ADC 采样率一致,大大降低了外接时钟频率和片内时钟接收电路的设计难度.

异步比较器时钟产生电路和 SAR 逻辑电路如图 14 所示.在采样时钟为高电平时,D 触发器复位,当采样时钟的反相时钟 CKB\_SAMP 为高电平时,因 TRIG<8:0>信号被复位至 0,经过负脉冲发生器(negative pulse generator, NPG)和与门后,比较器时钟为高电平,比较器工作后产生比较结果,正负端结果经过异或门产生的 VALID 信号一定为高,由移位寄存器和数据锁存器构成的 SAR 逻辑电路开始工作,产生时钟控制信号 TRIG<8:0>,同时锁存比较器输出结果 O<8:0>. TRIG<8:0>信号依次为高后,经过负脉冲发生器和与门后,比较器时钟信号 CK\_COMP 被置为低电平,比较器被复位,VALID 信号被复位为低电平,SAR 逻辑电路与异步时钟电路联合产生信号如图 15 所示,其中 r<8:0>信号为 TRIG<8:0>信号经过负脉冲发生器产生的负脉冲信号.

2.4 基于 DLL 反馈环路的比较器时钟自调节

2.3 节介绍的异步 SAR 逻辑控制中,电容阵列上极板电压的建立时间由负脉冲发生器中的延时单元

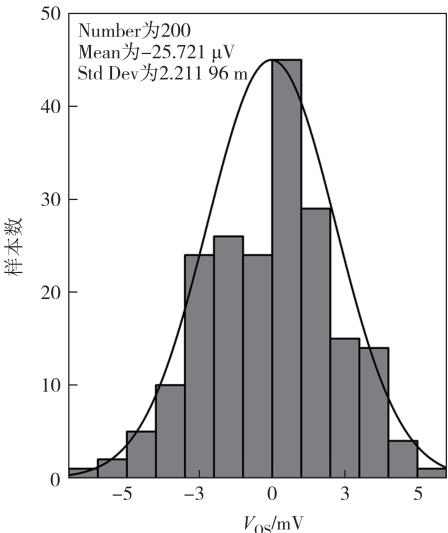


图 13 第一级比较器失调蒙特卡洛仿真  
Fig.13 Monte Carlo simulation of first-stage comparator mismatch

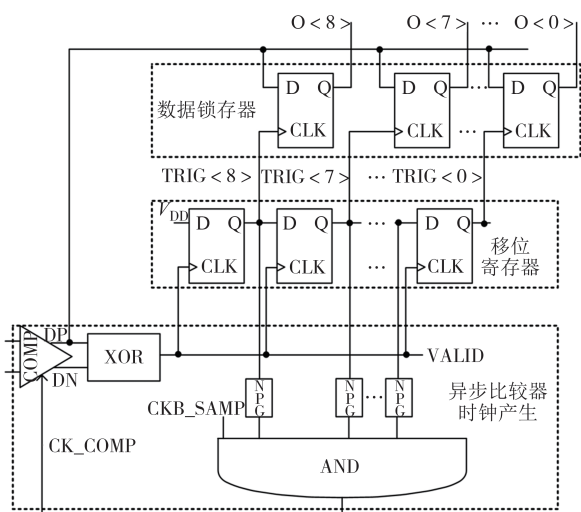


图 14 异步 SAR 逻辑电路

Fig.14 Asynchronous SAR logic circuit

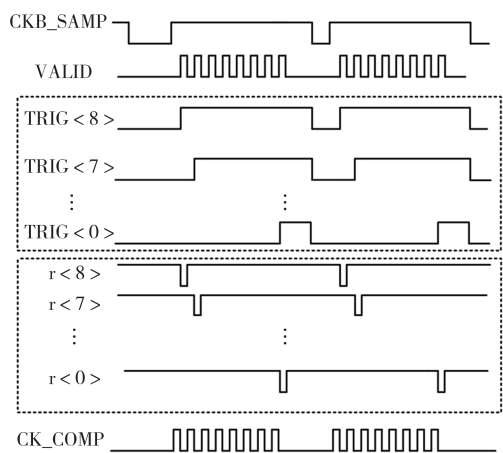


图 15 异步 SAR 逻辑与比较器时钟信号

Fig.15 Asynchronous SAR logic and comparator clock signal

决定,所设计的延时单元延时要保证电容阵列上极板电压建立误差在 ADC 精度 16 bit 的要求之内. 由于第二级使用 1.3 节介绍的 LSB 平均抗噪声方法,在采样时钟低电平的时间里要完成 12 次转换,对延时单元延时的设计难度较大,为保证各工艺角下的 ADC 精度,设计了基于 DLL 反馈环路的比较器时钟自调节控制电路,异步 SAR 逻辑与比较器时钟信号如图 15 所示. 自调节环路包含鉴相器(phase discriminator, PD)、电荷泵(charge pump, CP)、低通滤波器(low pass filter, LPF)和压控延时线(voltage control delay line, VCDL)<sup>[10-12]</sup>,实现了比较器时钟的自调节,降低了延时设计难度,可以避免由于非理想因素导致设计延时偏移造成的 CDAC 建立不完全或 ADC 位数缺失问题,提高了 ADC 第二级异步 SAR 逻辑控制电路的鲁棒性.

如图 16 所示, 采样时钟 CK\_SAMP 和最低位转

换控制信号 TRIG<0>输入鉴相器,根据 CK\_SAMP 和 TRIG<0>上升沿的前后关系,鉴相器生成电荷泵的控制信号 UP 和 DN,其中 UP 信号控制电容充电, DN 信号控制电容放电,由此产生负脉冲发生器中压控延时单元的控制电压(control voltage, CV),经过该反馈环路的调节,最终比较器时钟 CK\_COMP 合理地分配在采样时钟低电平时间内。

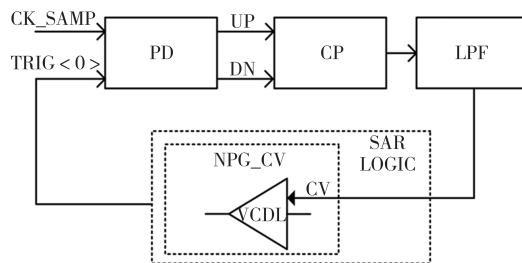


图16 基于DLL的反馈环路

由于工艺引入的非理想因素导致初始状态下压控延时单元的延时过大,如图 17 所示,有多个比较器时钟周期落于采样时钟高电平时间内,导致  $TRIG < 0$  信号未与正确的采样时钟上升沿被鉴相器识别导致 DLL 反馈环路进入正反馈而失效. 为解决这个问题,为 DLL 反馈环路设计了保护措施,如图 18 所示. 如果有上述情况发生,鉴相器输入会变为采样时钟和自身延时后的信号,强制压控延时单元延时降低, DLL 控制比较器时钟回调,直到 DLL 反馈环路进入正常的负反馈模式. 基于 DLL 的比较器时钟自调节环路功能仿真结果如图 19 所示.

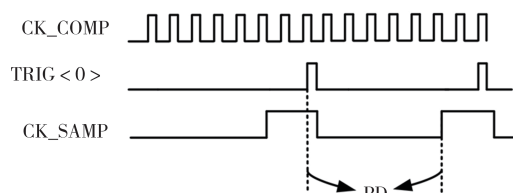


图 17 由于工艺引入延时过大导致的失效机制  
Fig.17 Failure mechanism caused by excessive process-induced delays

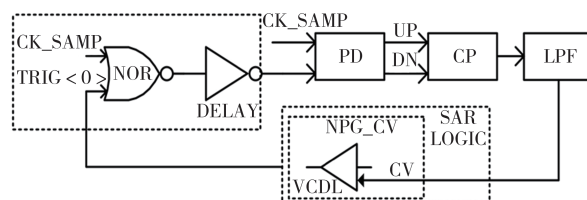


图18 针对失效机制的保护措施

Fig.18 Protection measures against failure mechanisms



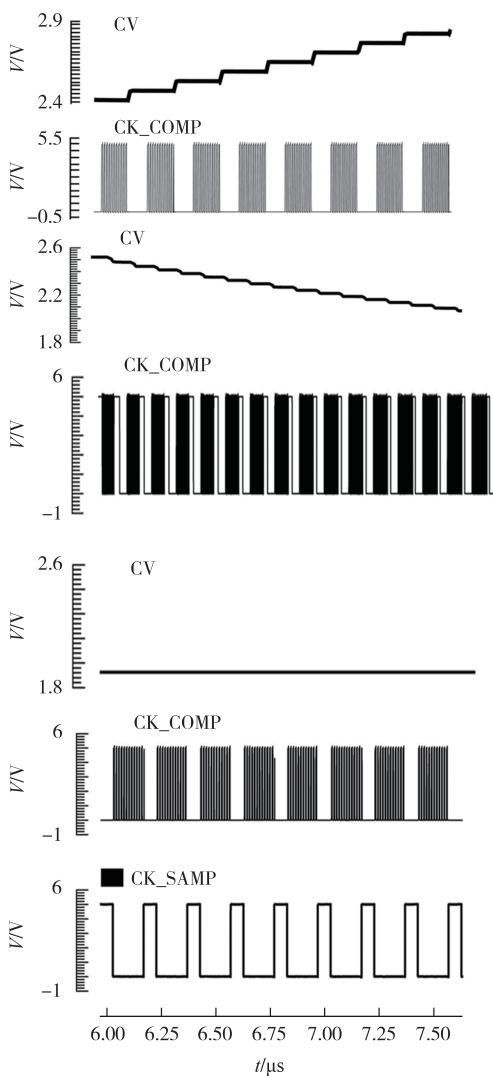


图19 基于DLL的比较器时钟自调节环路功能仿真

Fig.19 Simulation of the comparator clock self-adjustment loop functionality based on DLL

3 后仿真结果

本文所设计的 16 bit Pipelined SAR ADC 由两级多位 SAR ADC 及余差放大器组成,电路设计、版图和后仿真验证基于 0.18  $\mu\text{m}$  EPI BCD 工艺. 图 20 为 Pipelined SAR ADC 版图. 通过后仿真验证 Pipelined SAR ADC 的功能正常.

在 5.0 V 供电电压、5 MS/s 采样率的条件下对 ADC 的动态性能进行后仿真. 在输入信号频率为 83.008 kHz 时,本文设计的 ADC 的动态性能指标仿真结果如图 21 所示. 由图 21 可知,非杂散动态范围 SFDR 为 110.72 dB,信噪失真比 SNDR 为 95.73 dB,总谐波失真 THD 为 -109.43 dB,有效位数 ENOB 为 15.61 bit.

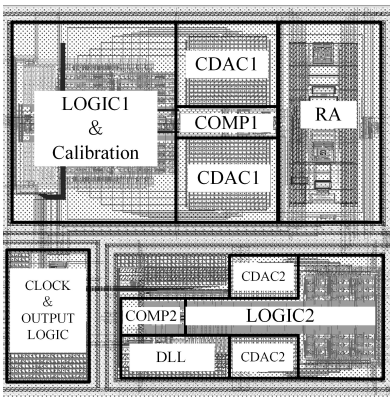


图 20 Pipelined SAR ADC 版图

Fig.20 Layout of Pipelined SAR ADC

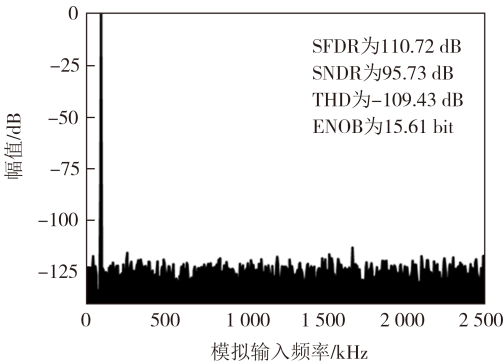


图 21 Pipelined SAR ADC 动态性能

Fig.21 Dynamic performance of Pipelined SAR ADC

在 FF、TT、SS 工艺角下分别对 ADC 的动态性能进行仿真验证,仿真结果如表 1 所示,在 FF 工艺角下,ADC 动态性能最差,但仍能保证 SFDR 为 106.64 dB, SNDR 为 93.74 dB, THD 为 -106.55 dB, ENOB 为 15.28 bit,保证优越的动态性能. 在 SS 工艺角下,ADC 动态性能最好,原因是在 SS 工艺角下所设计的运放相位裕度更优,稳定性更优,有利于降低系统的非线性失真. 由于未进行流片测试,为保证本文所设计的 ADC 芯片在不同工作环境下的可靠性,针对 ADC 的动态性能进行了 PVT 仿真,电压浮动与温度变化极限值状态下 ADC 动态性能如表 2 所示. 由表 2 可知,在温度为 -40~85  $^{\circ}\text{C}$ ,供电电压浮动为  $\pm 10\%$  的仿真条件下,ADC 能保证最低 ENOB 为 15.52 bit, SNDR 为 95.05 dB, SFDR 为 106.89 dB. 由此可知,ADC 在供电电压和环境温度变化时能保证优越的动态性能.

对相关文献提出 Pipelined SAR ADC 的性能进行总结并与本文设计进行对比,如表 3 所示. 对比主要能体现 ADC 综合性能的指标(品质因数 FoMs). 由

表 1 Pipelined SAR ADC 动态性能工艺角仿真  
Tab.1 Process corner simulation of dynamic performance for Pipelined SAR ADC

工艺角	SFDR/dB	SNDR/dB	THD/dB	ENOB/bit
FF	106.64	93.74	-106.55	15.28
TT	110.72	95.73	-109.43	15.61
SS	114.17	96.64	-113.73	15.76

表 3 可知,与参考文献相比,本文设计的 Pipelined SAR ADC 在 ENOB、SNDR、SFDR 等表征 ADC 精度和线性度的指标上普遍表现突出,本文设计的 ADC 的 FoMs 指标为 171.8 dB. 综上所述,本文使用的 LSB 平均抗噪声方法以及所设计的高能效运放能在

表 2 Pipelined SAR ADC 电压浮动与温度变化仿真  
Tab.2 Simulation of voltage fluctuation and temperature variation for Pipelined SAR ADC

供电电 压/V	环境温 度/℃	SFDR/dB	SNDR/dB	THD/dB	ENOB/bit
4.5	-40	111.40	95.25	-109.72	15.56
4.5	85	110.98	95.96	-110.72	15.68
5.0	25	110.72	95.73	-109.43	15.61
5.5	-40	106.89	95.05	-106.033	15.52
5.5	85	108.38	95.67	-107.62	15.63

有效控制功耗的前提下提高 ADC 精度,从而提升 ADC 品质因数. 本文设计有着优越的精度指标和综合性能.

表 3 Pipelined SAR ADC 性能总结及对比  
Tab.3 Summary and comparison of Pipelined SAR ADC performance

文献	工艺/nm	供电电压/V	分辨率/bit	ENOB/bit	采样率/(MS·s <sup>-1</sup> )	SNDR/dB	SFDR/dB	POWER/mW	FoMs/dB
文献[13]	28	1.05	14	10.82	60	66.9	91	4.26	165.4
文献[14]	180	1.8	12	10.76	50	66.53	78.95	5.5	163.1
文献[15]	350	3.3	15	12.81	0.001	78.86	91.66	0.0067	157.6
文献[16]	130	1.2	12	10.80	10	66.6	87.8	0.17	171.0
文献[17]	180	1.8	14	10.80	50	66.8	85	49.5	153.8
本文	180	5.0	16	15.61	5	95.73	110.72	50.8	171.8

注: FoMs = SNDR+10lg(BW/POWER).

4 结 论

本文设计了一款适应数字 X 射线系统中光电二极管阵列读出电路对后端 ADC 要求的高精度 Pipelined SAR ADC. 通过采用基于 DLL 反馈环路的比较器时钟自调节方案,降低系统延时设计难度,提升异步 SAR 逻辑鲁棒性;采用 LSB 平均抗噪声方法,简化第二级比较器结构;采用带有预放大级的增益增强型运放,提升 ADC 速度. 后仿真结果显示,本文设计的 Pipelined SAR ADC 在 5 MS/s 的采样率下有很好的动态性能,具有优越的信噪失真比及非杂散动态范围.

参考文献

[1] 韩雪峰. X 射线探测器读出电路中 SAR ADC 的研究与设计[D]. 湘潭:湘潭大学, 2020.  
HAN X F. Research and design of SAR ADC in readout circuit of X-ray detector [D]. Xiangtan: Xiangtan University, 2020. (in

Chinese)  
[2] HURRELL C P, LYDEN C, LAING D, et al. An 18 bit 12.5 MS/s ADC with 93 dB SNR[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2647-2654.  
[3] SEKIMOTO R, SHIKATA A, YOSHIOKA K, et al. A 0.5 V 5.2 fJ/conversion-step full asynchronous SAR ADC with leakage power reduction down to 650 pW by boosted self-power gating in 40 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2013, 48(11): 2628-2636.  
[4] SEHGAL R, VAN DER GOES F, BULT K. A 13 mW 64 dB SNDR 280 MS/s pipelined ADC using linearized open-loop class-AB amplifiers [C]//ESSCIRC 2017 - 43rd IEEE European Solid State Circuits Conference, September 11-14, 2017. Leuven, Belgium:IEEE, 2017:131-134.  
[5] MIKI T, MORIE T, MATSUKAWA K, et al. A 4.2 mW 50 MS/s 13 bit CMOS SAR ADC with SNR and SFDR enhancement techniques [J]. IEEE Journal of Solid-State Circuits, 2015, 50(6): 1372-1381.  
[6] SHEN J, SHIKATA A, FERNANDO L D, et al. A 16 bit 16 MS/s SAR ADC with on-chip calibration in 55 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2018, 53(4): 149-1160.  
[7] 葛馨. 12 位异步逐次逼近模数转换器设计[D]. 西安:西安电

子科技大学,2020.

GE X. Design of 12 bit asynchronous successive approximation analog-to-digital converter[D]. Xi'an:Xidian University,2020. (in Chinese)

- [8] RAZAVI B, WOOLEY B A. Design techniques for high-speed, high-resolution comparators [J]. IEEE Journal of Solid-State Circuits, 1992, 27(12): 1916-1926.
- [9] CHEN S W M, BRODERSEN R W. A 6 bit 600 MS/s 5.3 mW asynchronous ADC in 0.13- $\mu\text{m}$  CMOS [J]. IEEE Journal of Solid-State Circuits, 2006, 41(12): 2669-2680.
- [10] ANUSHKANNAN N K, MANGALAM H, DHARANI V A, et al. Comparison and analysis of various PFD architecture for a phase locked loop design [C]//2013 IEEE International Conference on Computational Intelligence and Computing Research, December 26-28, 2013. Enathi, India: IEEE, 2013: 1-4.
- [11] ALLEN P E, HOLBERG D R. CMOS analog circuit design [M]. London: Oxford University Press, 2007: 546-556.
- [12] ABDULRAZZAQ B I, ABDUL HALIN I, KAWAHITO S, et al. A review on high-resolution CMOS delay lines: towards sub-picosecond jitter performance [J]. Springer Plus, 2016, 5: 434.
- [13] CAO Y F, ZHANG S M, ZHANG T L, et al. A 91.0-dB SFDR single-coarse dual-fine pipelined-SAR ADC with split-based background calibration in 28-nm CMOS [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(2): 641-654.
- [14] SHEN Y, LIU S B, ZHU Z M. A 12-bit 50 MS/s zero-crossing-based two-stage pipelined SAR ADC in 0.18  $\mu\text{m}$  CMOS [J]. Microelectronics Journal, 2016, 57: 26-33.
- [15] CHEN K R, HARIKUMAR P, ALVANDPOUR A. Design of a 12.8 ENOB, 1 kS/s pipelined SAR ADC in 0.35- $\mu\text{m}$  CMOS [J]. Analog Integrated Circuits and Signal Processing, 2016, 86(1): 87-98.
- [16] GANDARA M, GULATI P, SUN N. A 172 dB-FoM pipelined SAR ADC using a regenerative amplifier with self-timed gain control and mixed-signal background calibration [C]//2017 IEEE Asian Solid-State Circuits Conference (A-SSCC), November 6-8, 2017. Seoul, Korea (South): IEEE, 2017: 297-300.
- [17] WU Y M, LAN J C, CHEN M, et al. A 16-channel 50 MS/s 14 bit pipelined-SAR ADC for integrated ultrasound imaging systems [C]//2020 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), December 8-10, 2020. Ha Long, Vietnam: IEEE, 2020: 3-6.